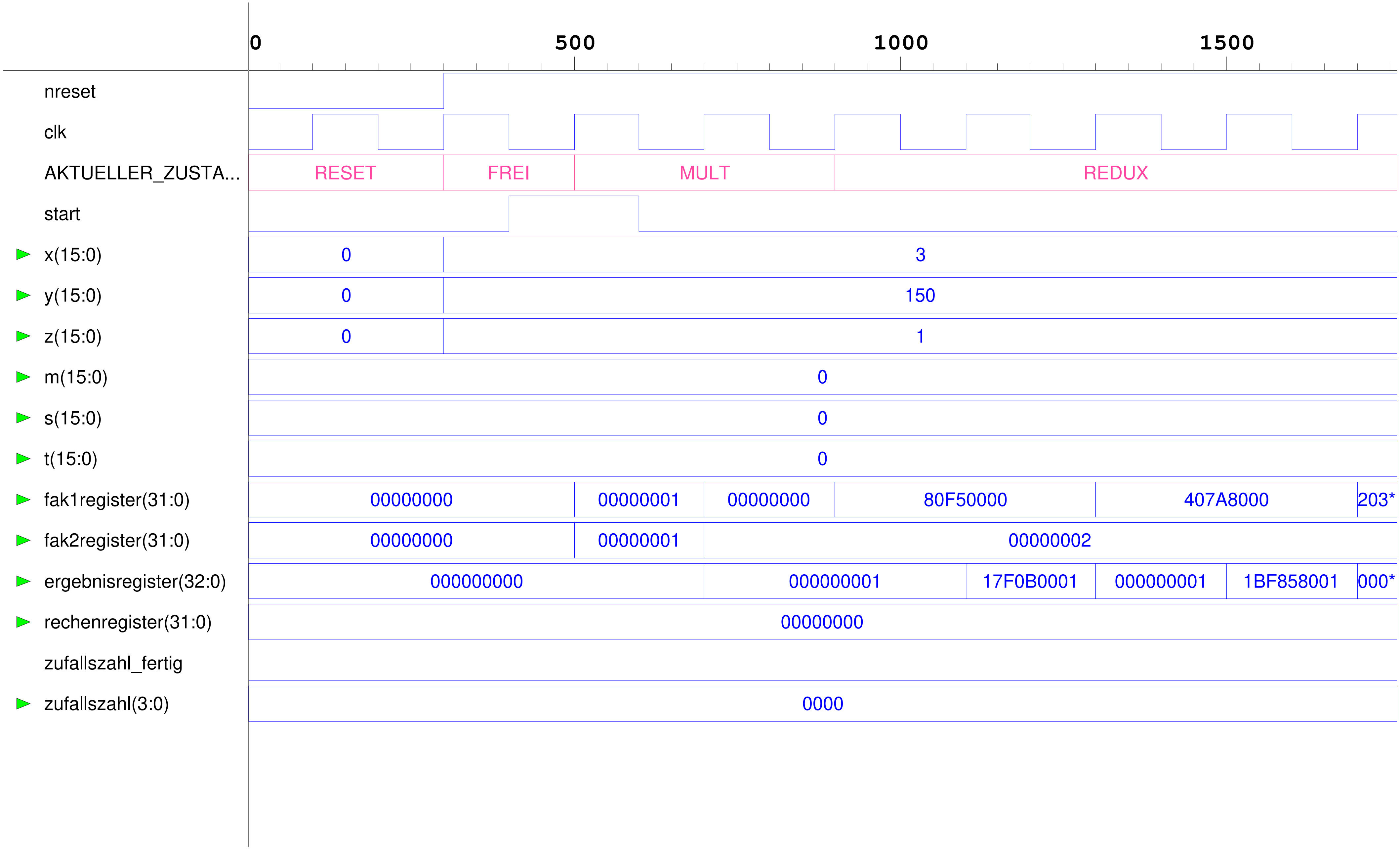
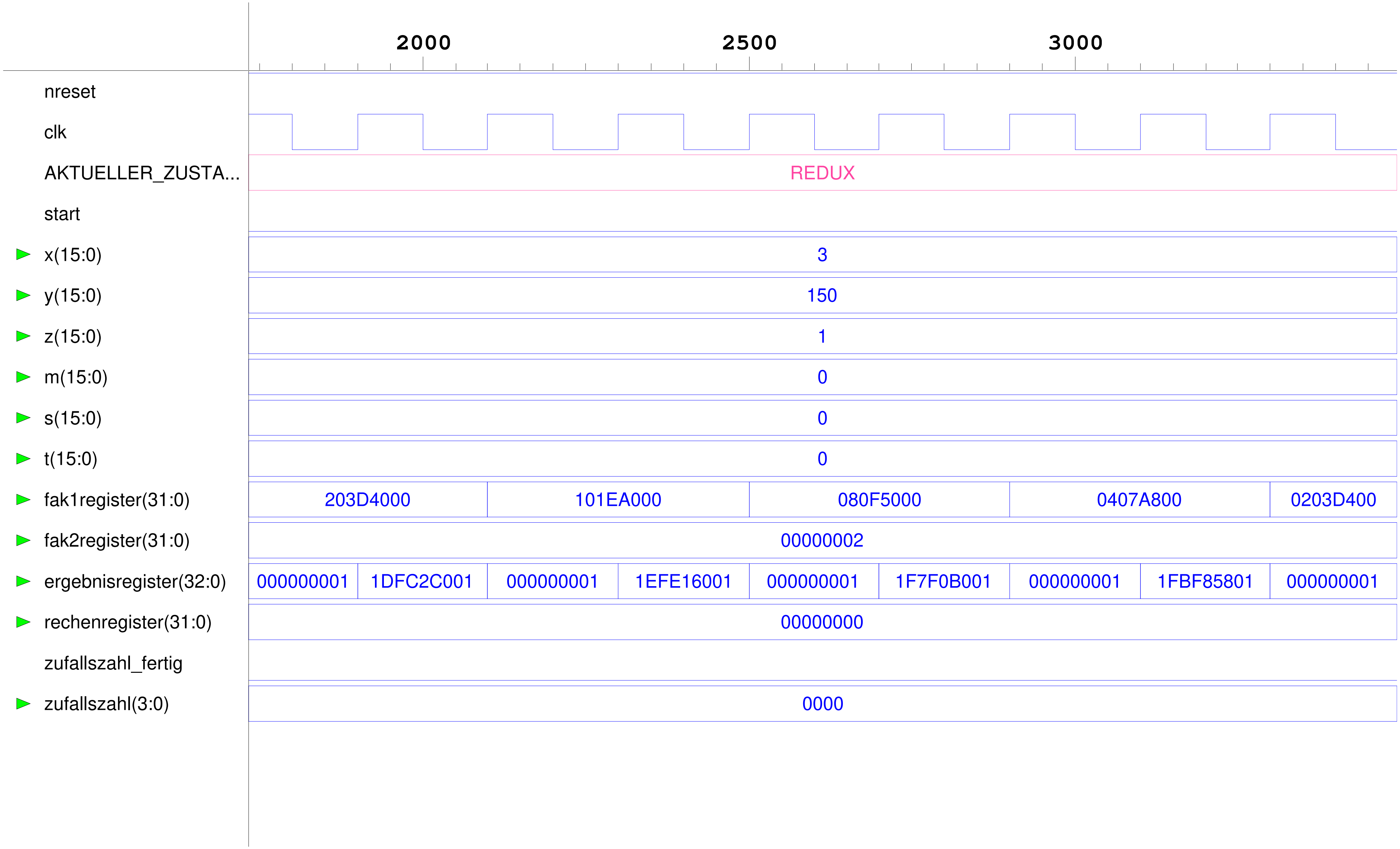
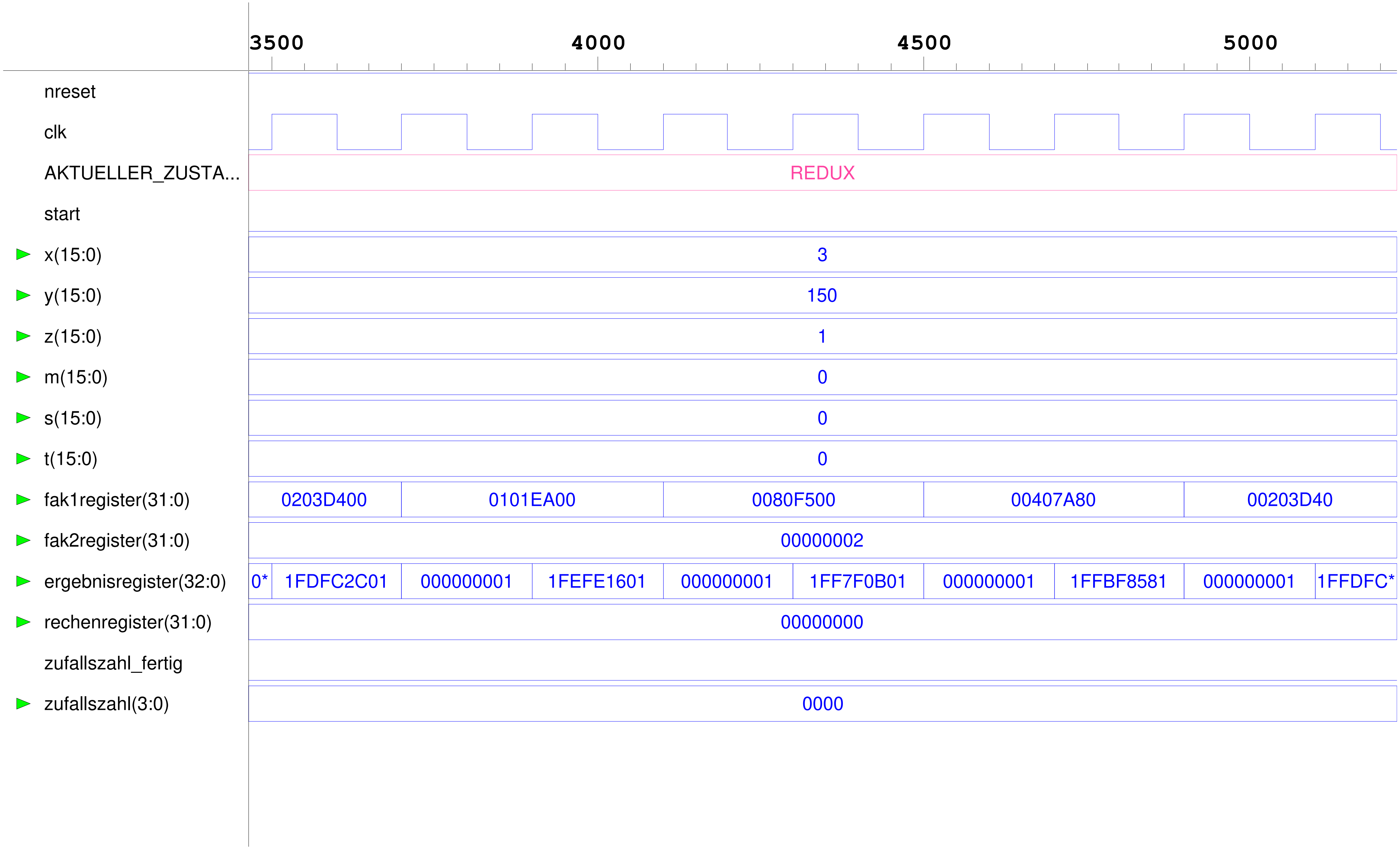


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



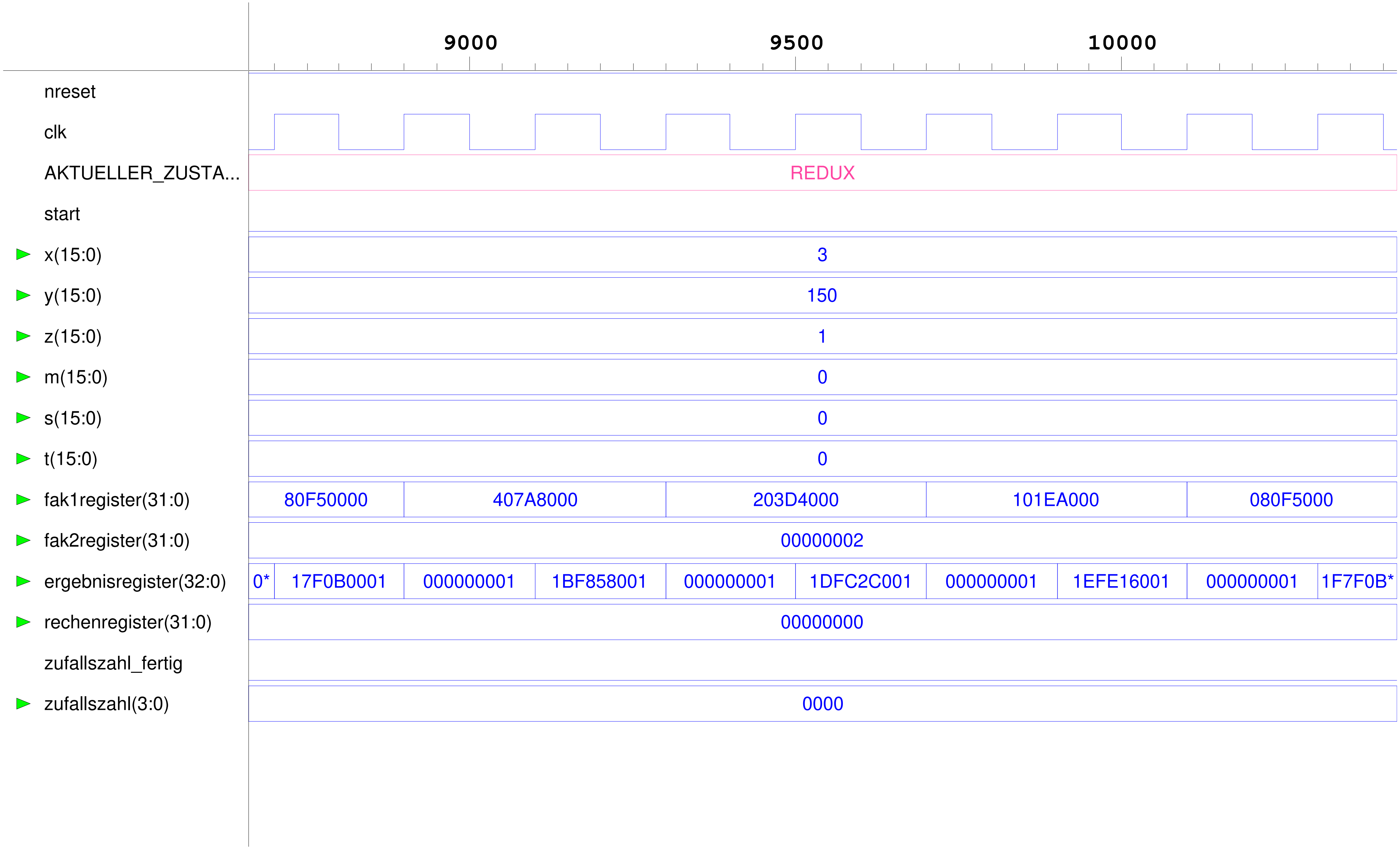
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

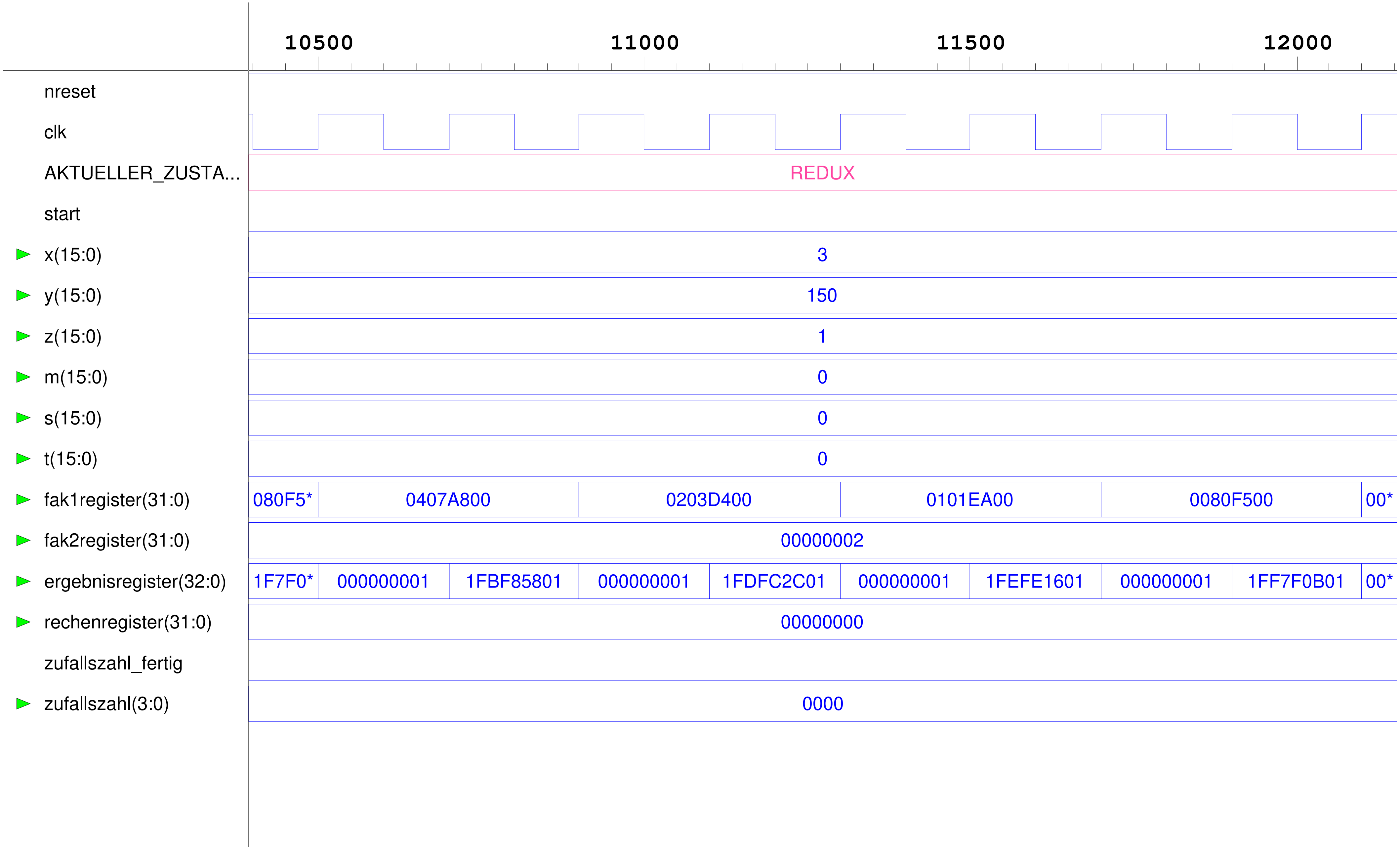


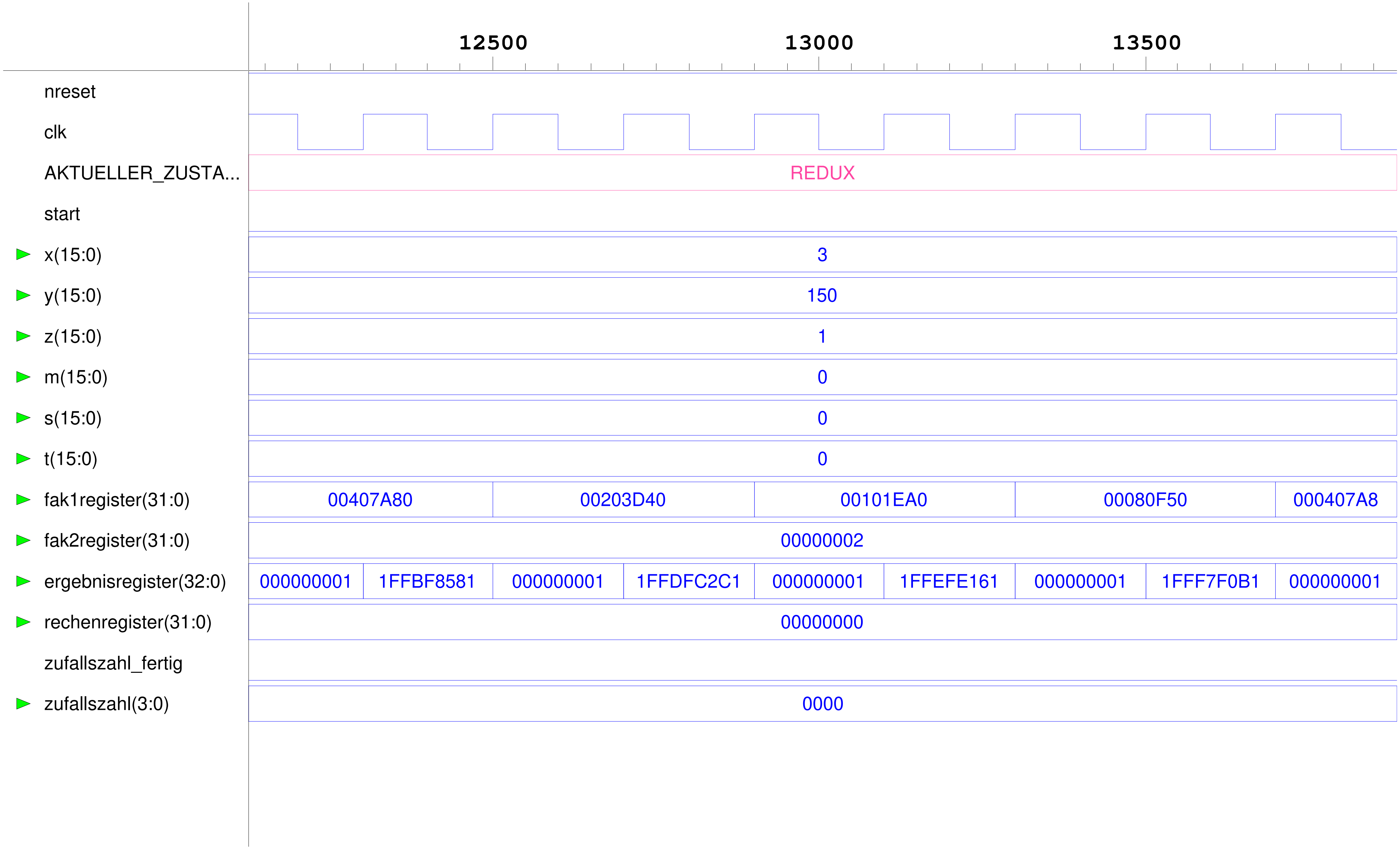
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

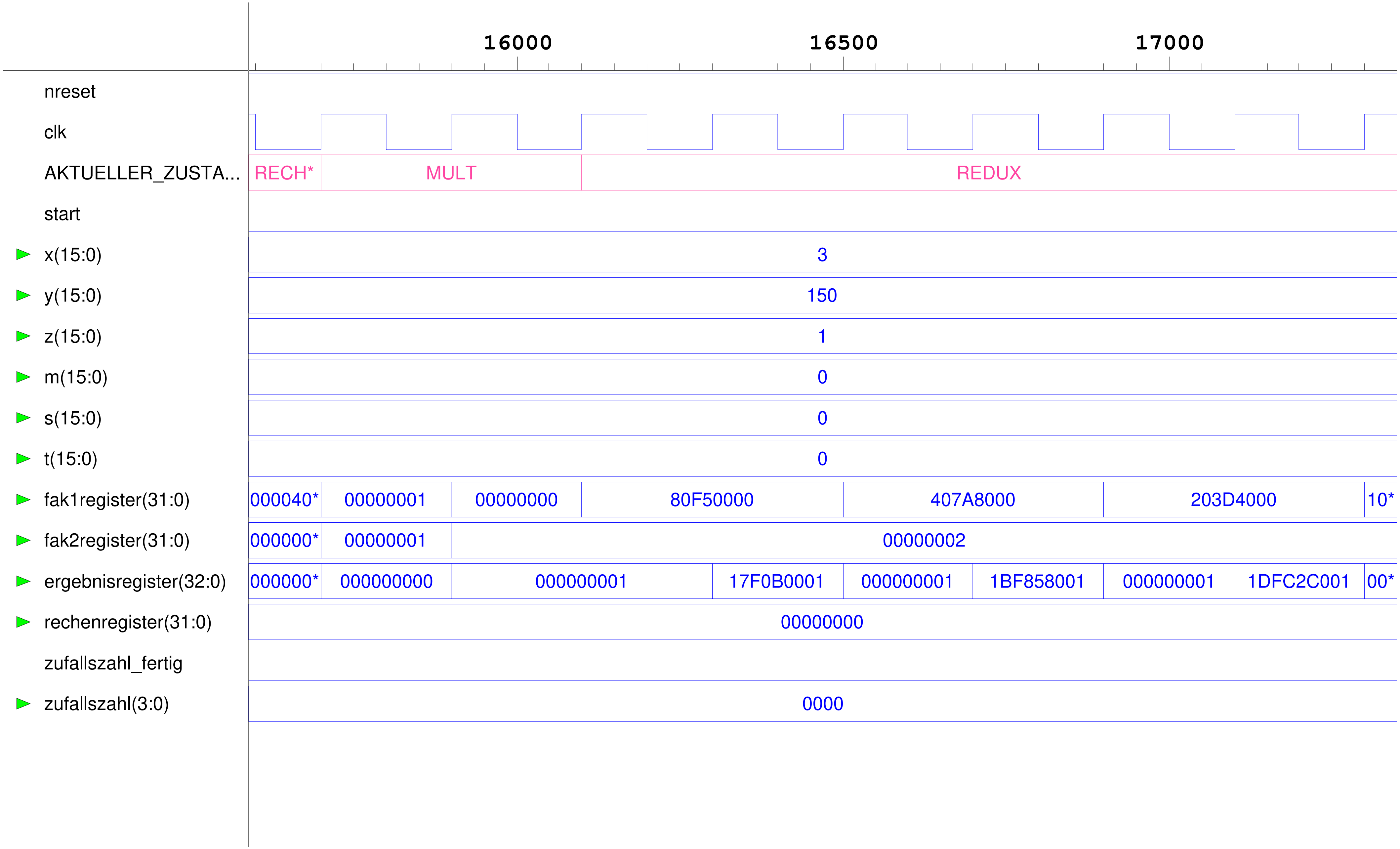

9000
9500
10000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
80F50000
407A8000
203D4000
101EA000
080F5000
fak2register(31:0)
00000002
ergebnisregister(32:0)
0*
17F0B0001
000000001
1BF858001
000000001
1DFC2C001
000000001
1EFE16001
000000001
1F7F0B*
rechenregister(31:0)
00000000
zufallszahl_fertig
zufallszahl(3:0)
0000


10500
11000
11500
12000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
080F5*
0407A800
0203D400
0101EA00
0080F500
00*
fak2register(31:0)
00000002
ergebnisregister(32:0)
1F7F0*
000000001
1FBF85801
000000001
1FDFC2C01
000000001
1FEFE1601
000000001
1FF7F0B01
00*
rechenregister(31:0)
00000000
zufallszahl_fertig
zufallszahl(3:0)
0000



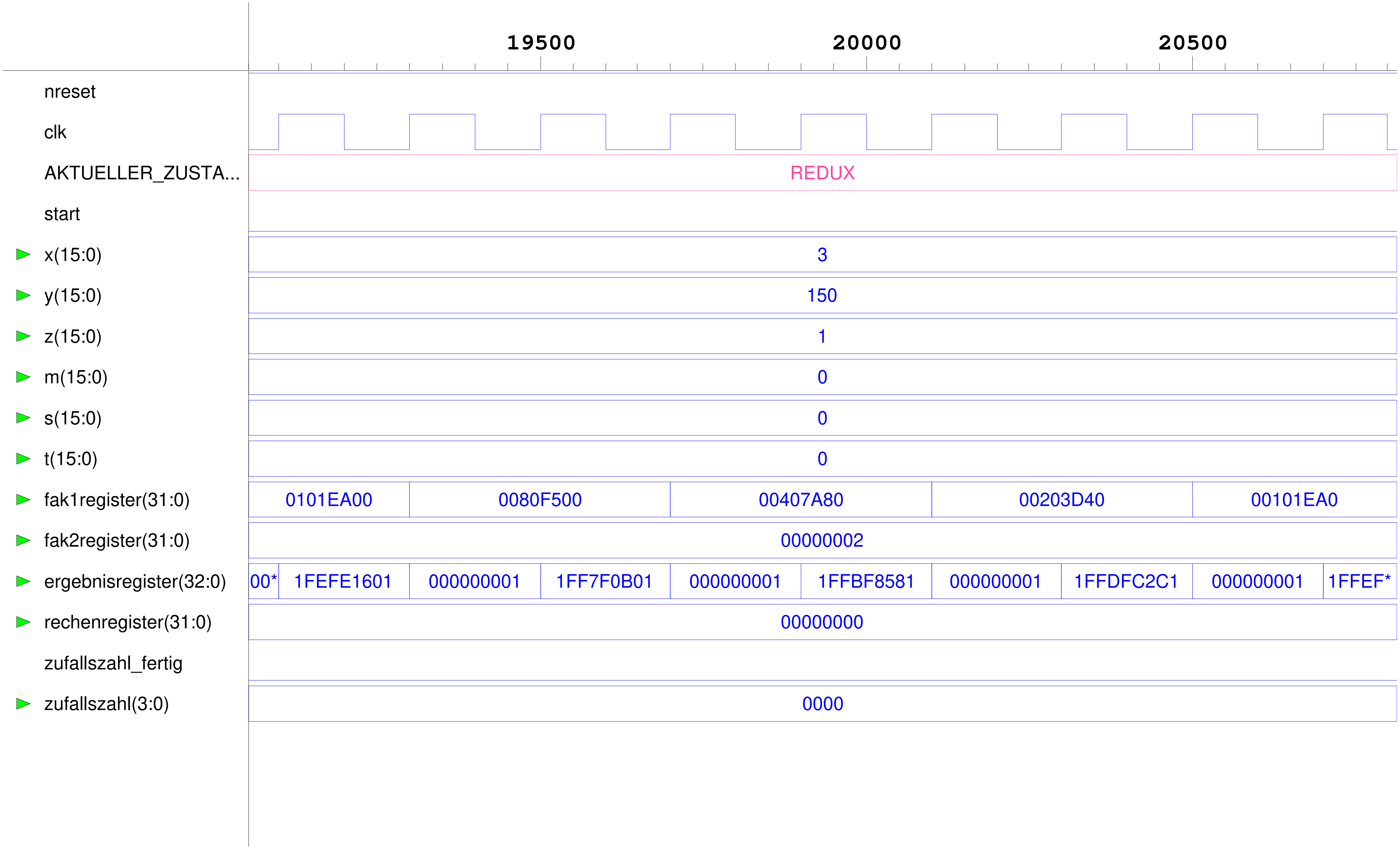
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

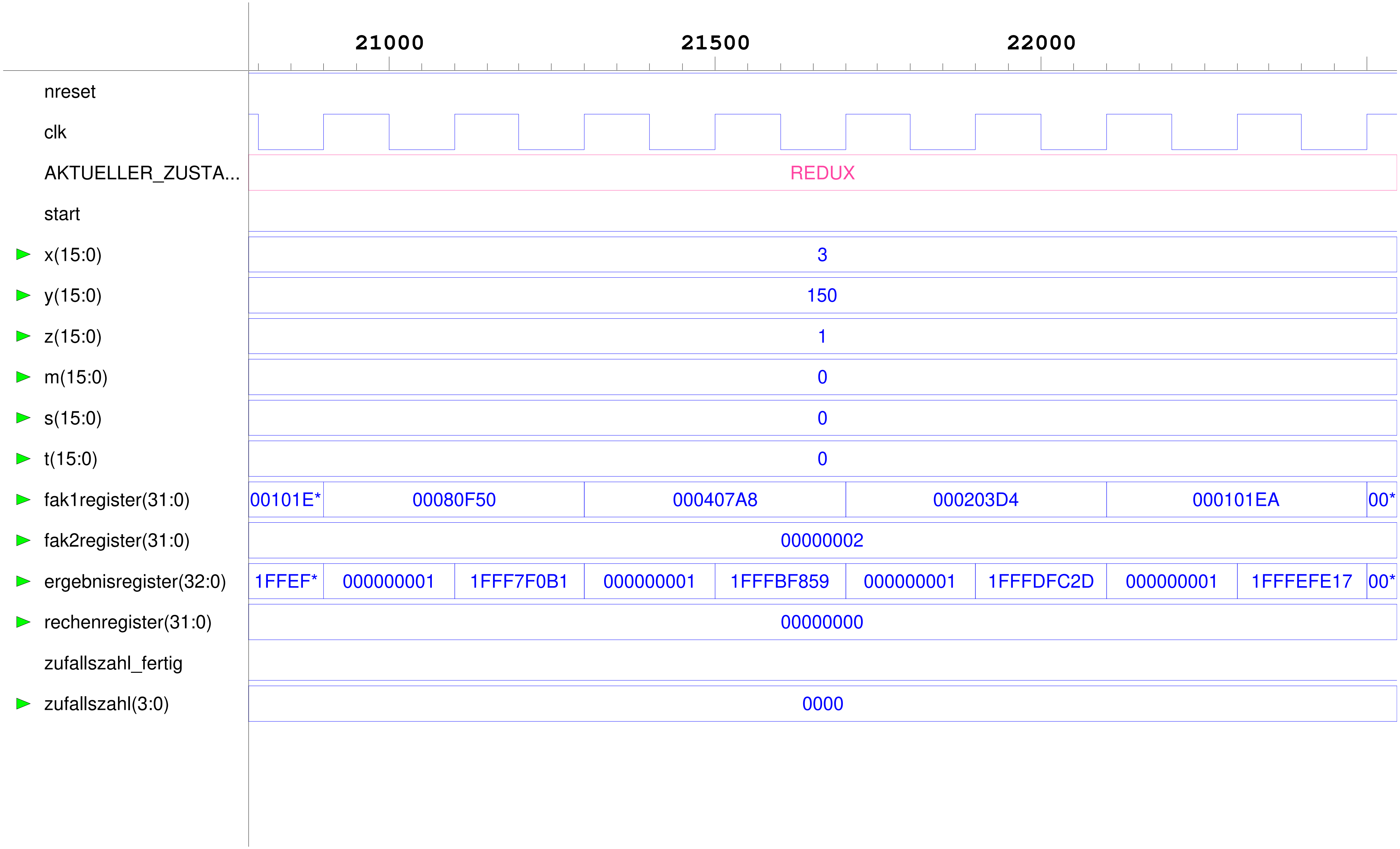
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



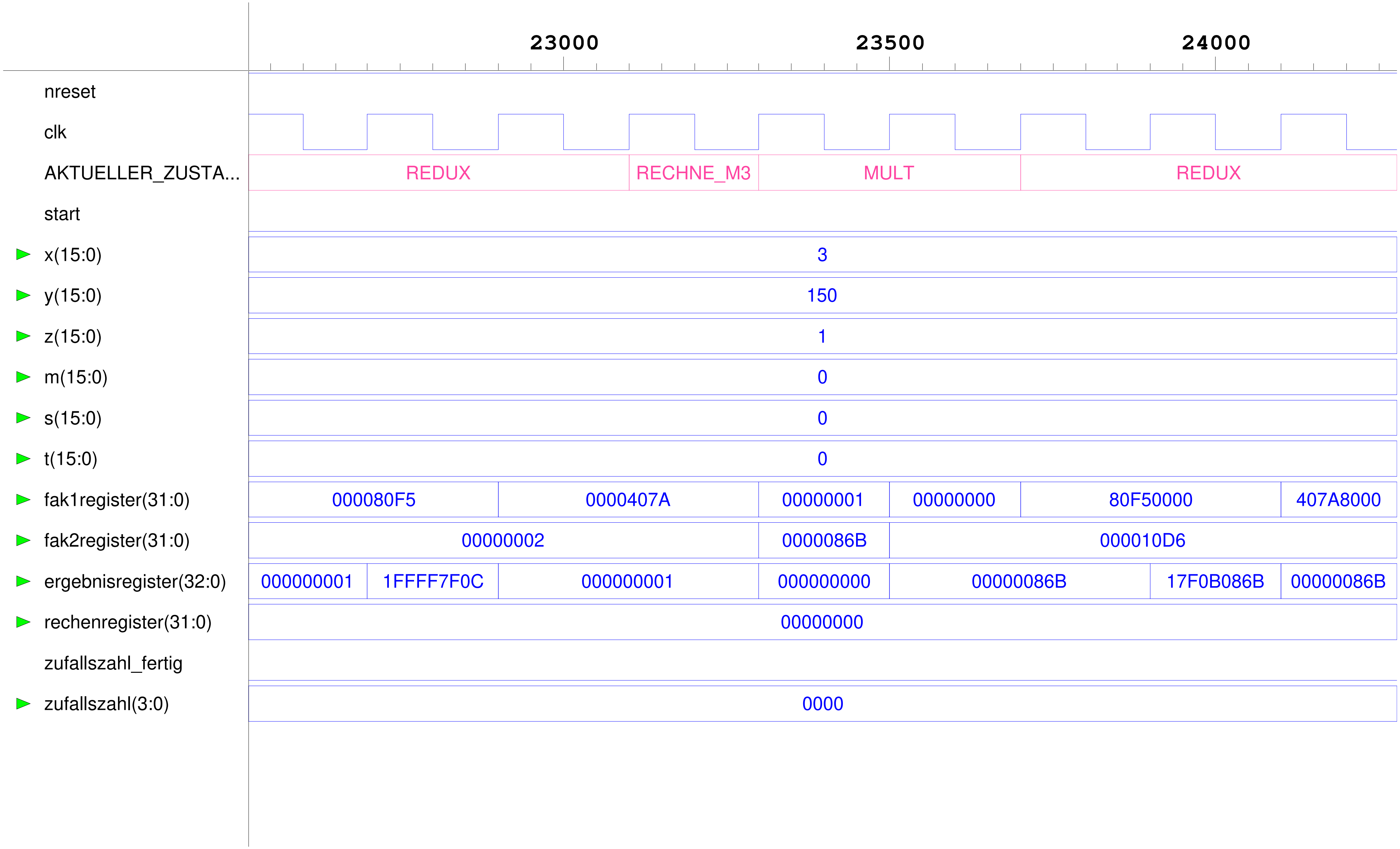
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


17500
18000
18500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
101EA000
080F5000
0407A800
0203D400
0101EA00
fak2register(31:0)
00000002
ergebnisregister(32:0)
000000001
1EFE16001
000000001
1F7F0B001
000000001
1FBF85801
000000001
1FDFC2C01
000000001
rechenregister(31:0)
00000000
zufallszahl_fertig
zufallszahl(3:0)
0000

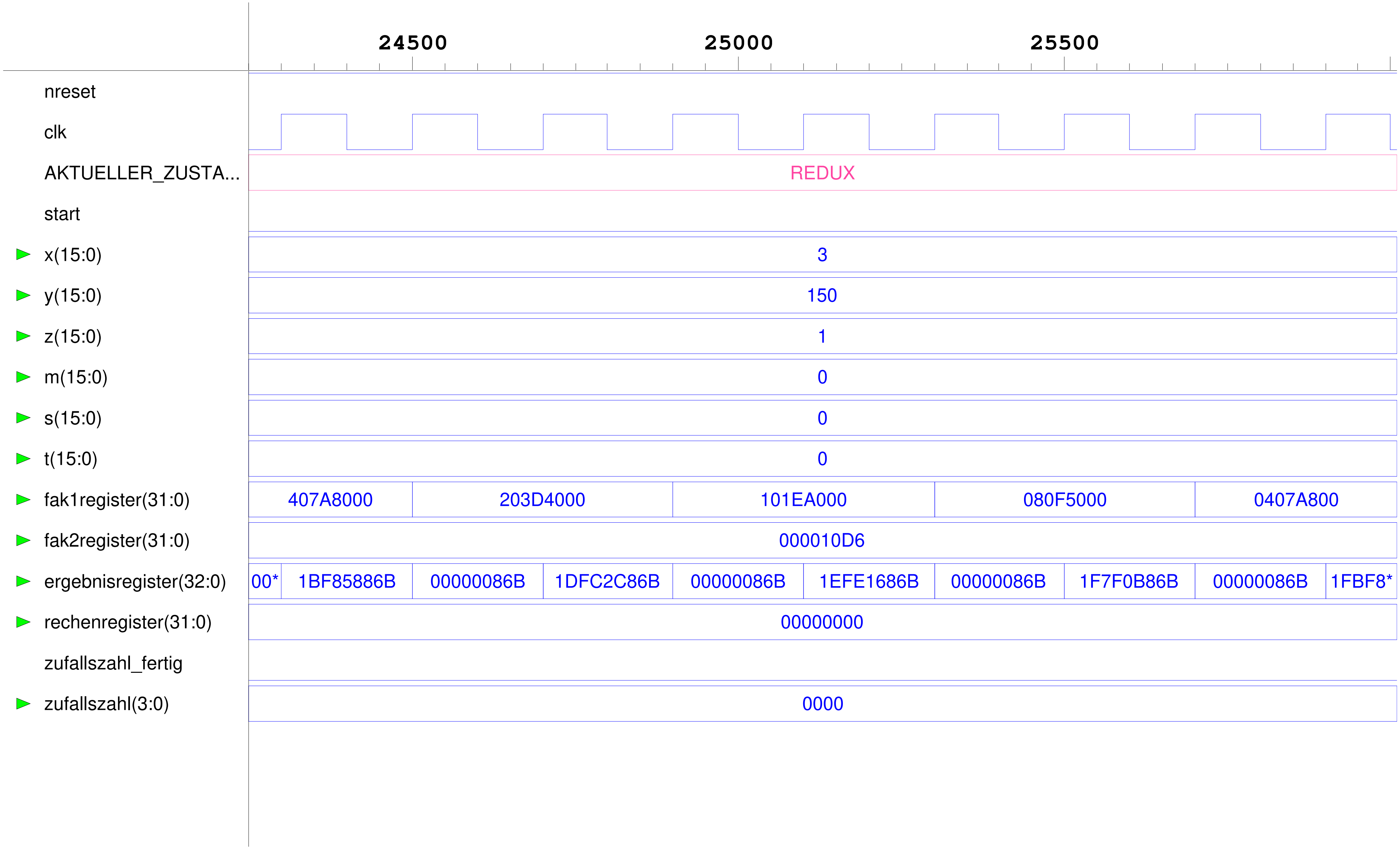

19500
20000
20500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
0101EA00
0080F500
00407A80
00203D40
00101EA0
fak2register(31:0)
00000002
ergebnisregister(32:0)
00*
1FEFE1601
000000001
1FF7F0B01
000000001
1FFBF8581
000000001
1FFDFC2C1
000000001
1FFEF*
rechenregister(31:0)
00000000
zufallszahl_fertig
zufallszahl(3:0)
0000



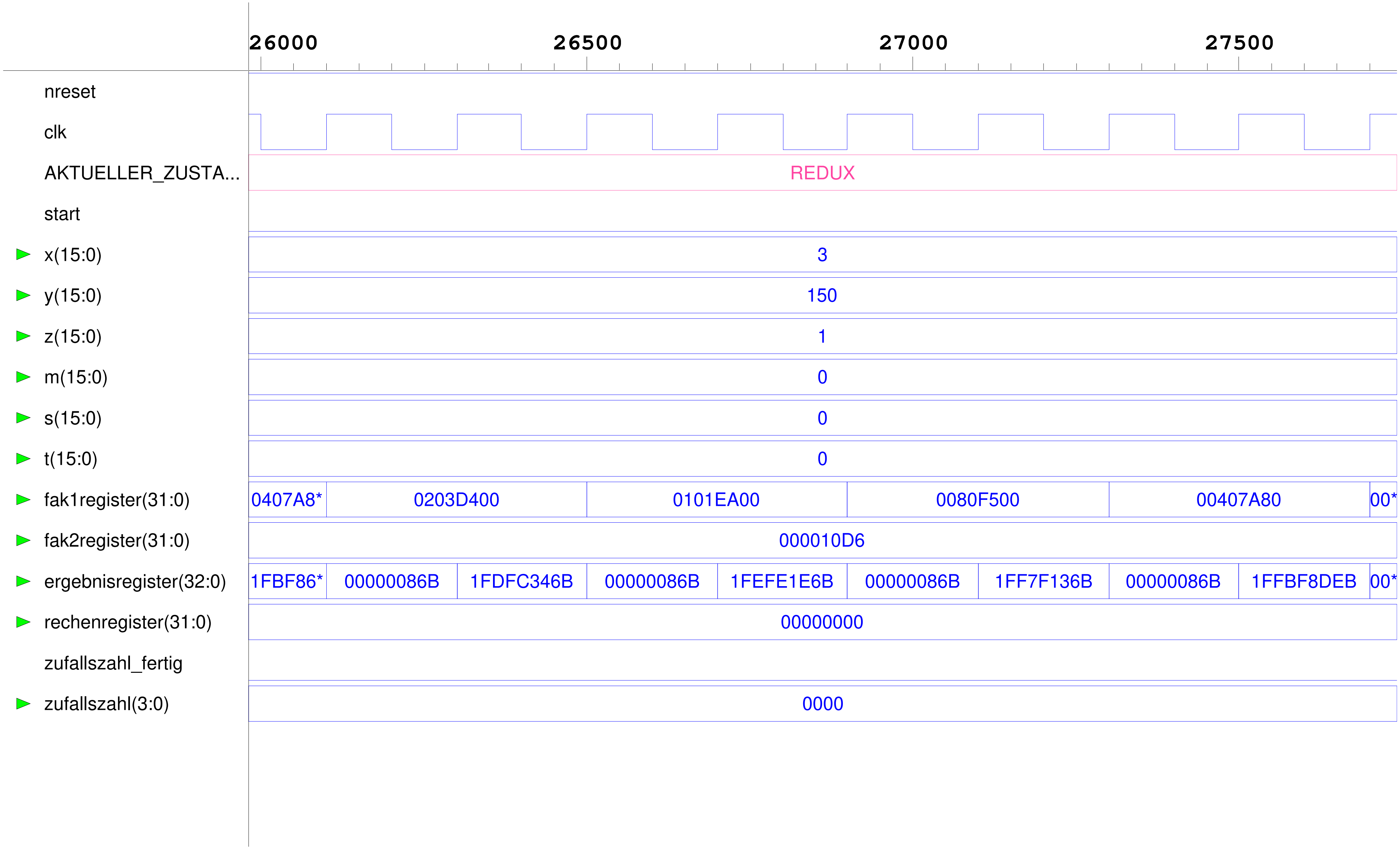
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



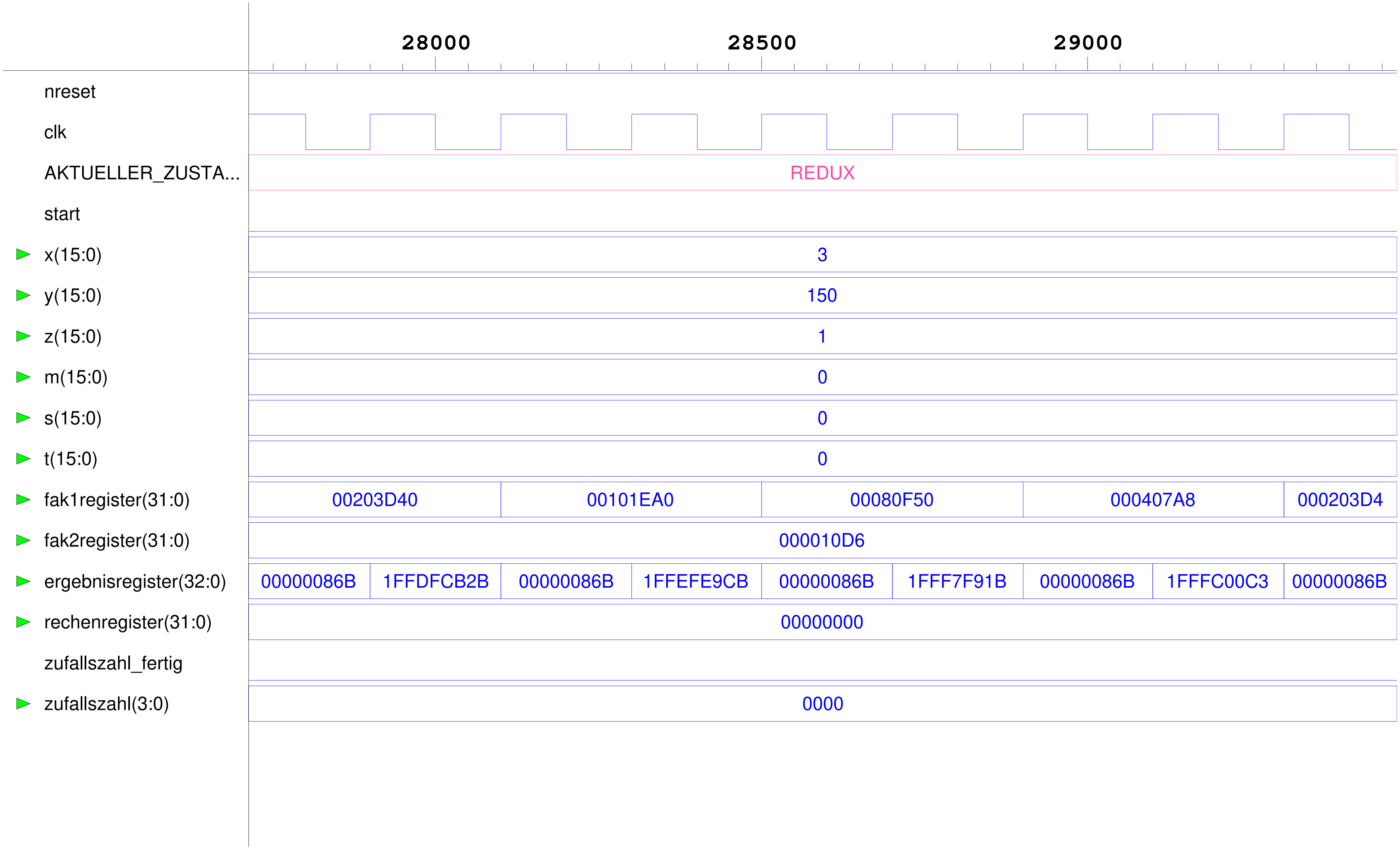
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

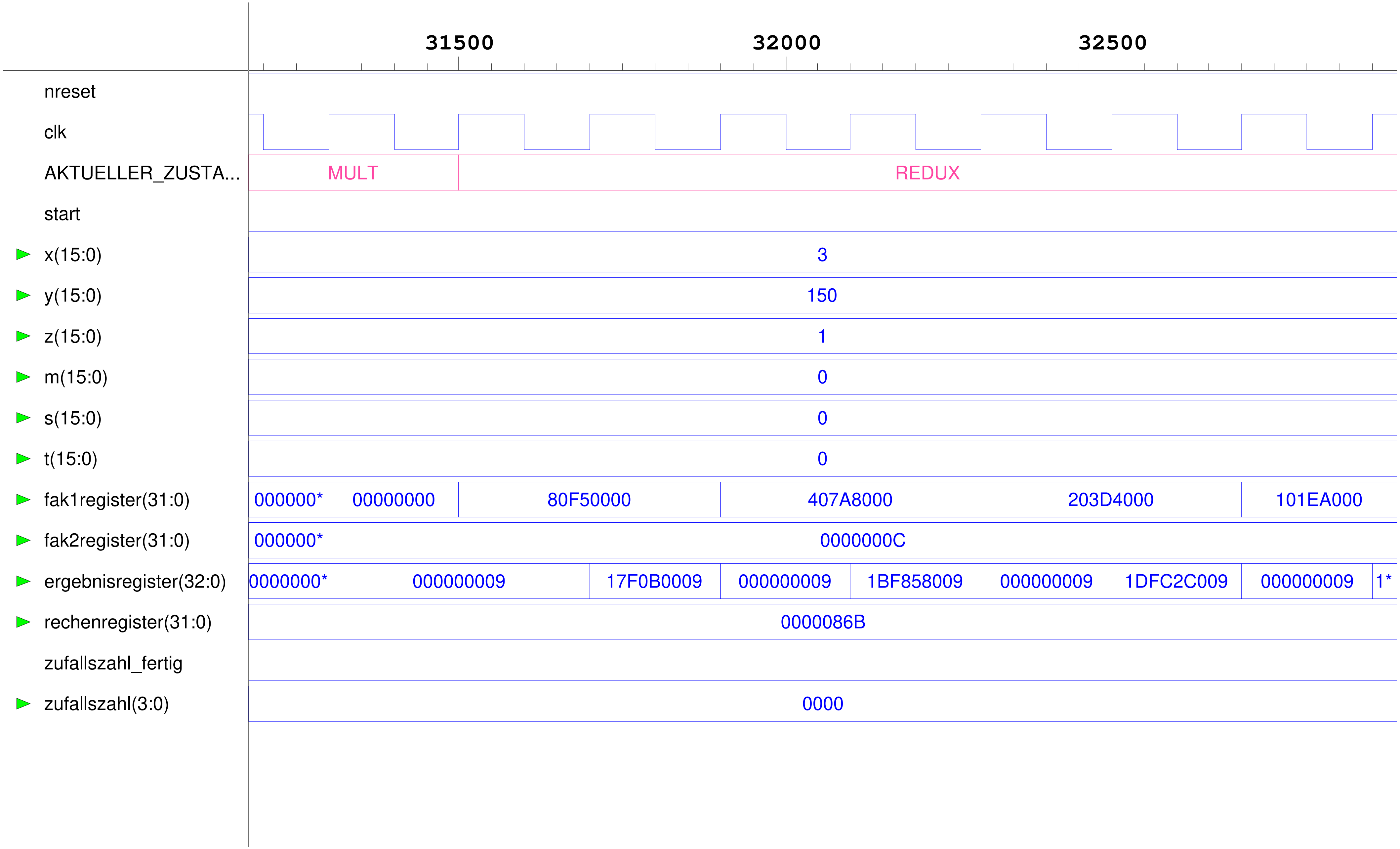


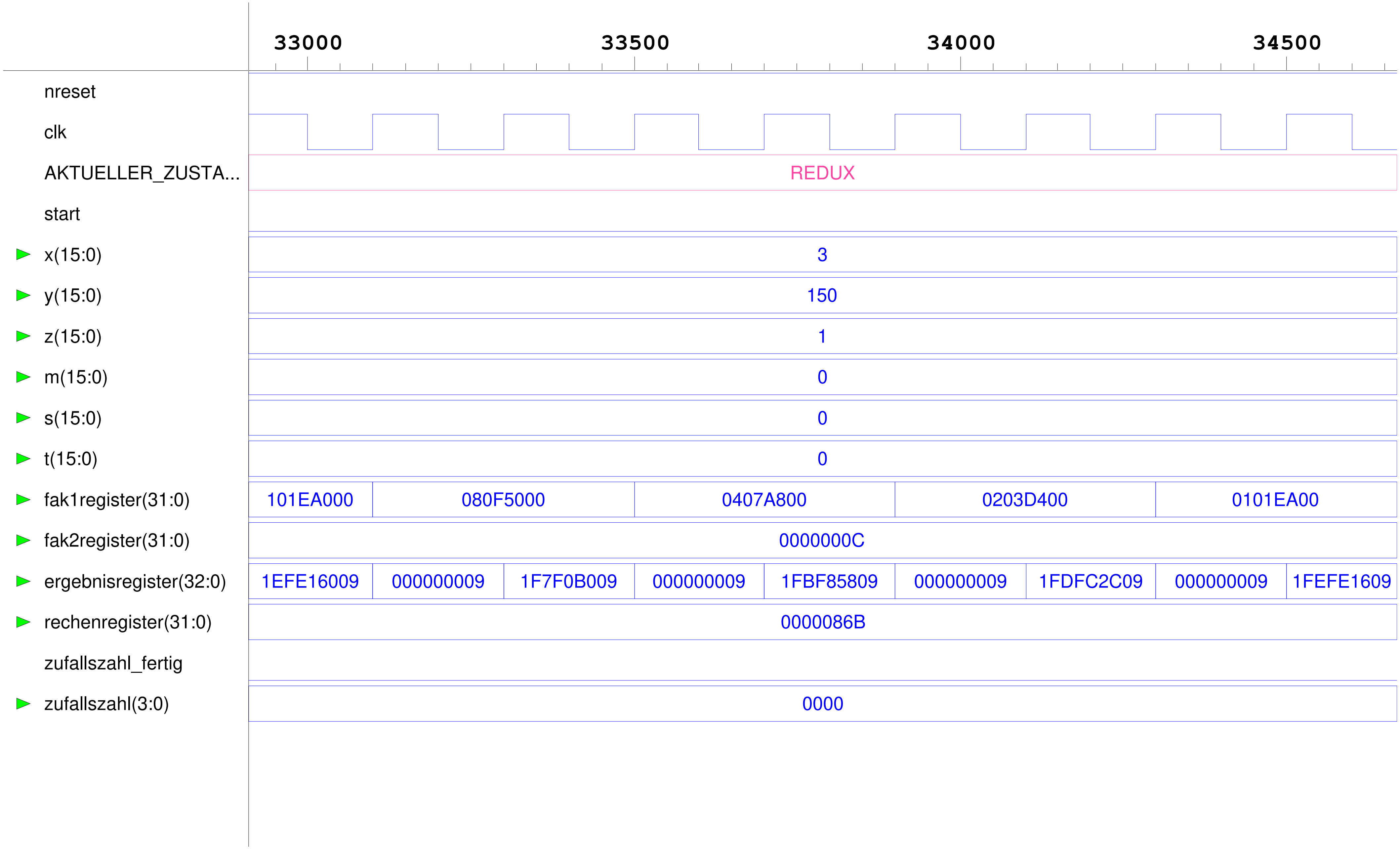
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



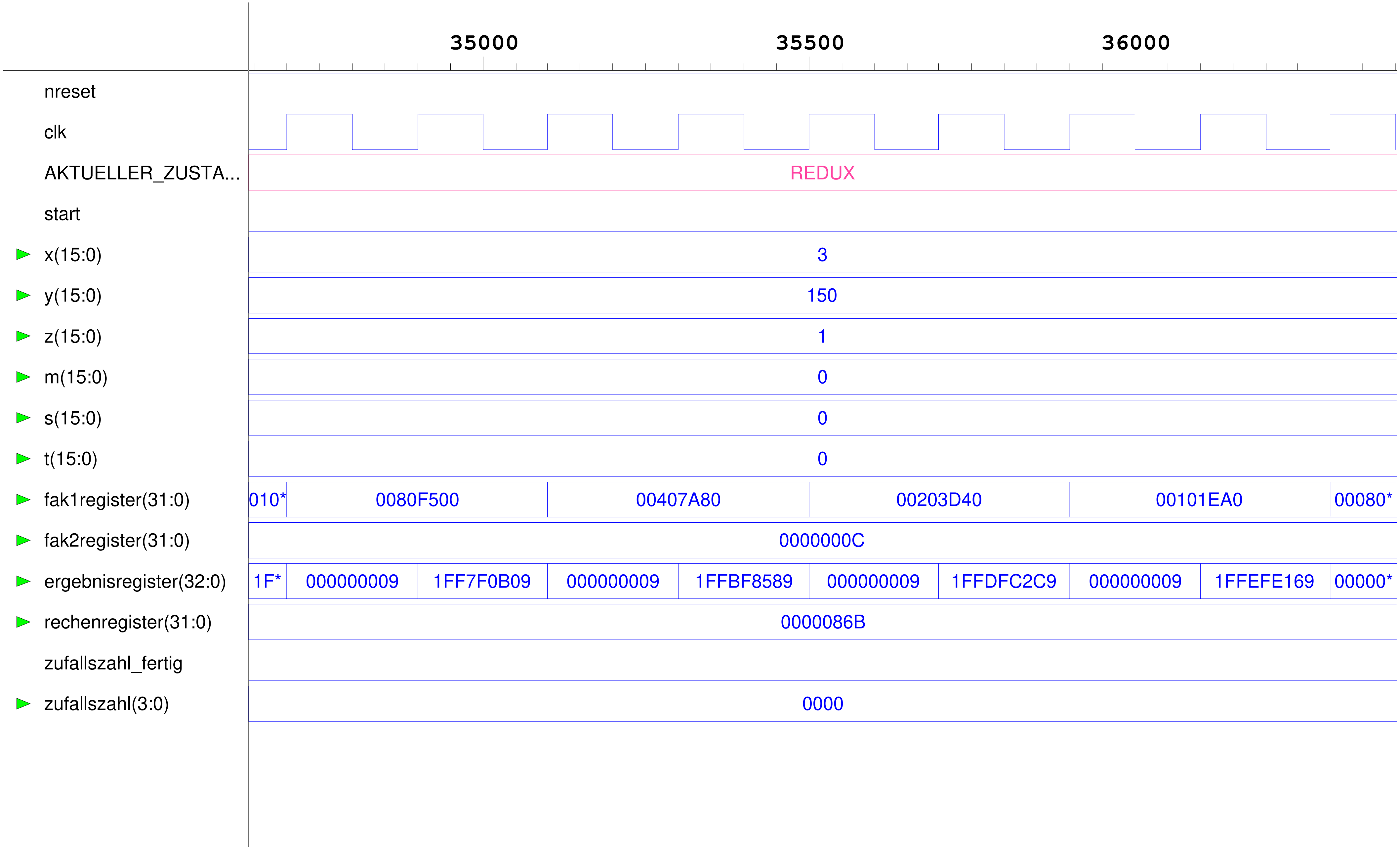
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

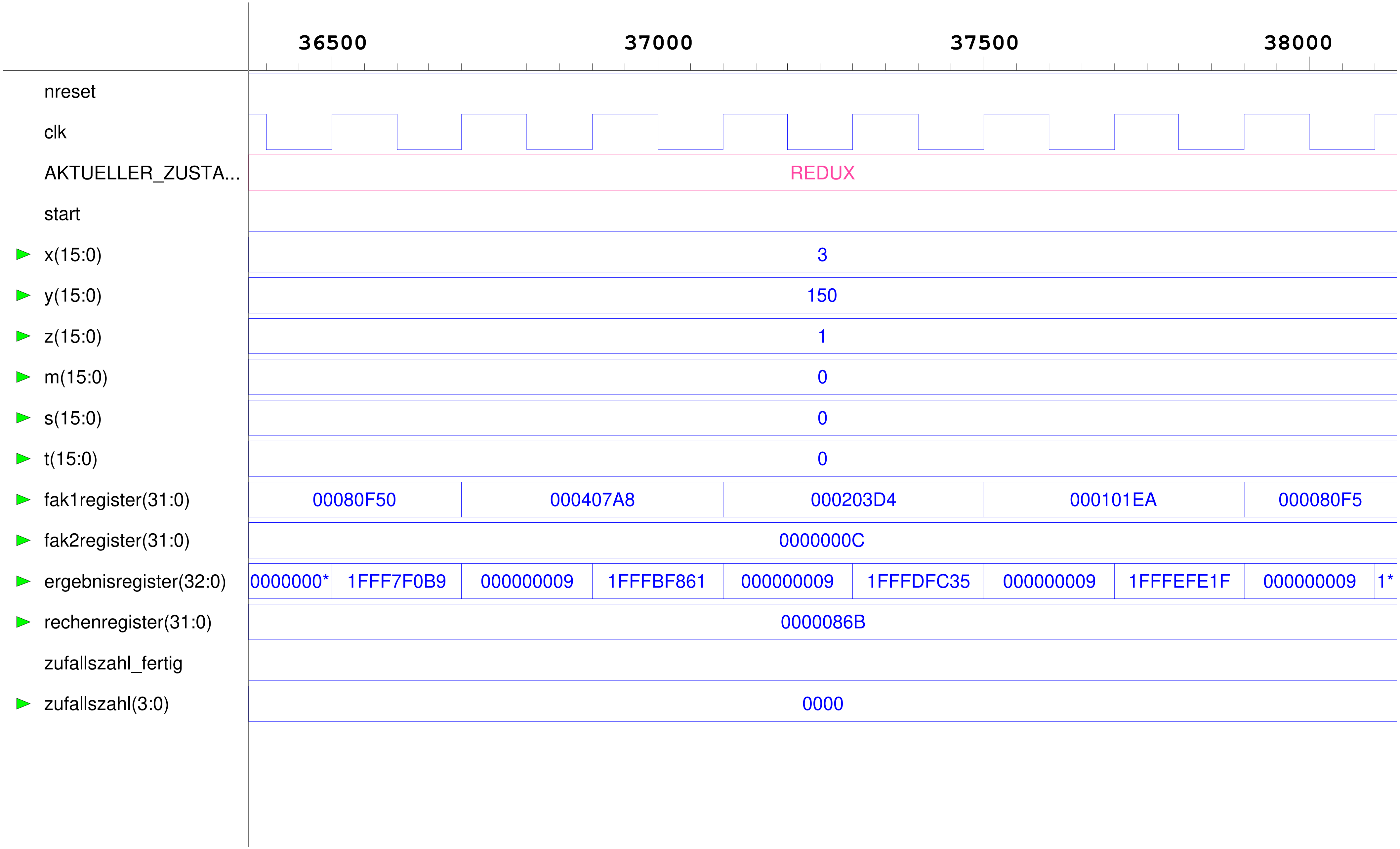

31500
32000
32500
nreset
clk
AKTUELLER_ZUSTA...
MULT
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
000000*
00000000
80F50000
407A8000
203D4000
101EA000
fak2register(31:0)
000000*
0000000C
ergebnisregister(32:0)
0000000*
000000009
17F0B0009
000000009
1BF858009
000000009
1DFC2C009
000000009
1*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000



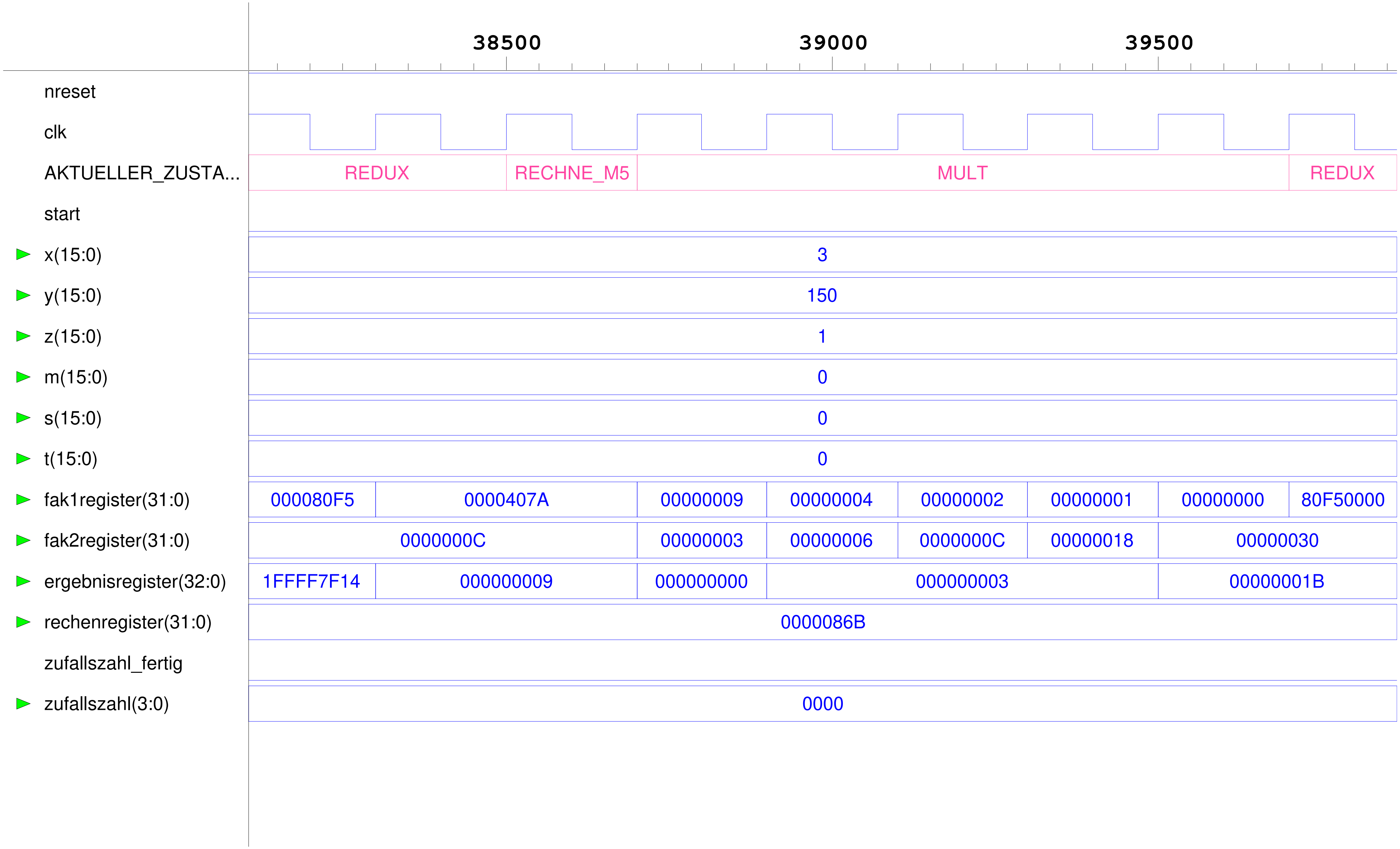
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



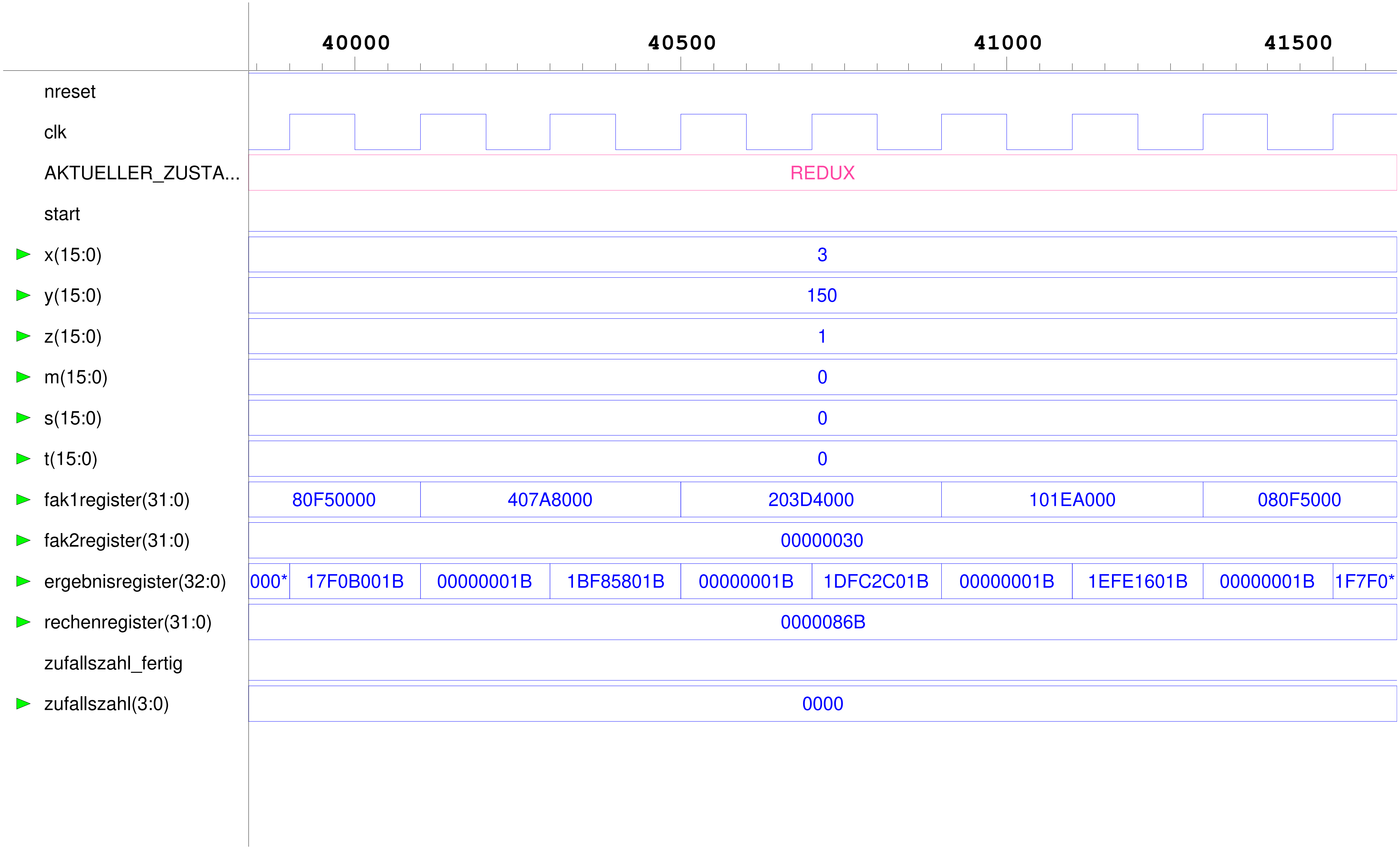
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



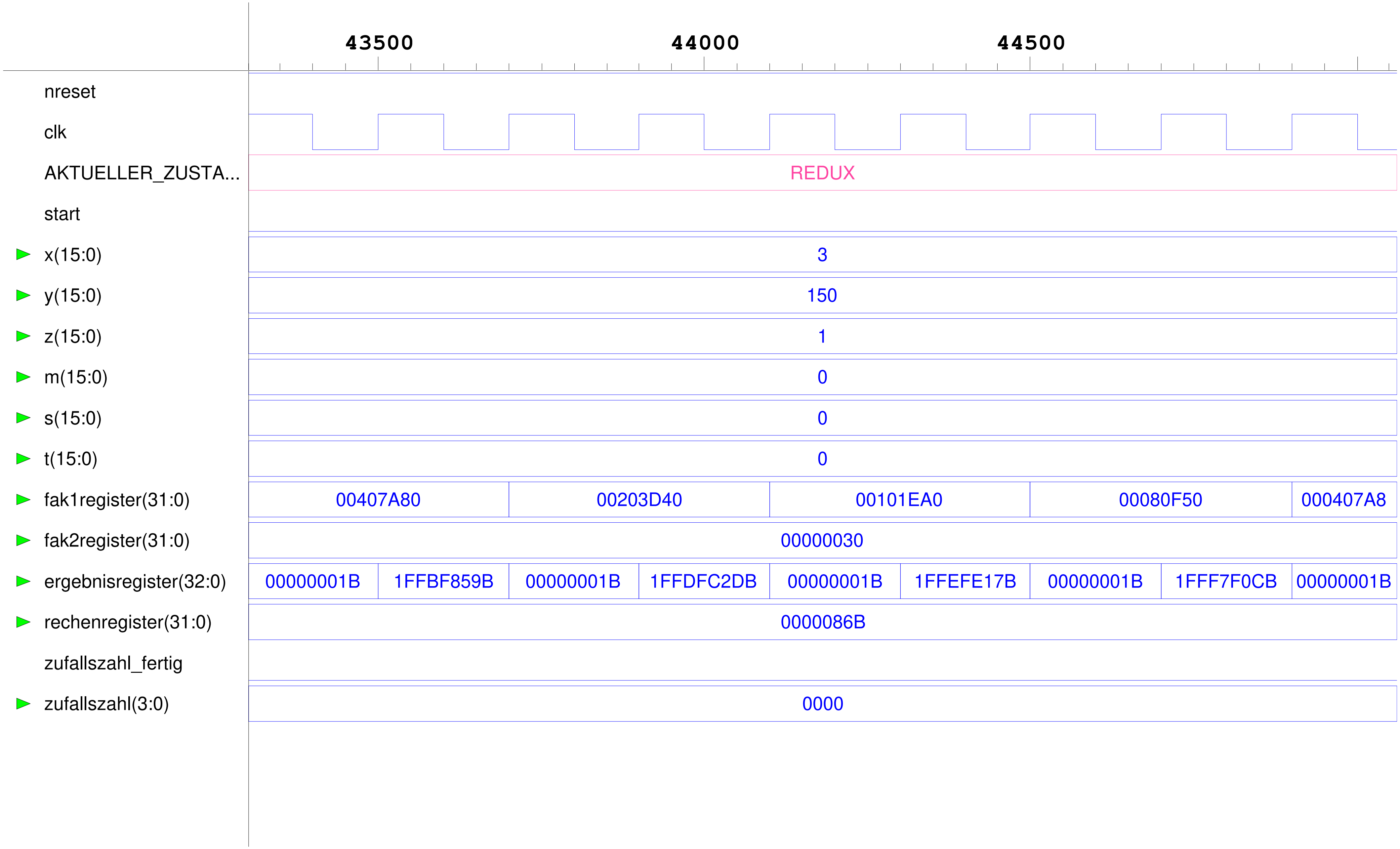
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


40000
40500
41000
41500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
80F50000
407A8000
203D4000
101EA000
080F5000
fak2register(31:0)
00000030
ergebnisregister(32:0)
000*
17F0B001B
00000001B
1BF85801B
00000001B
1DFC2C01B
00000001B
1EFE1601B
00000001B
1F7F0*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

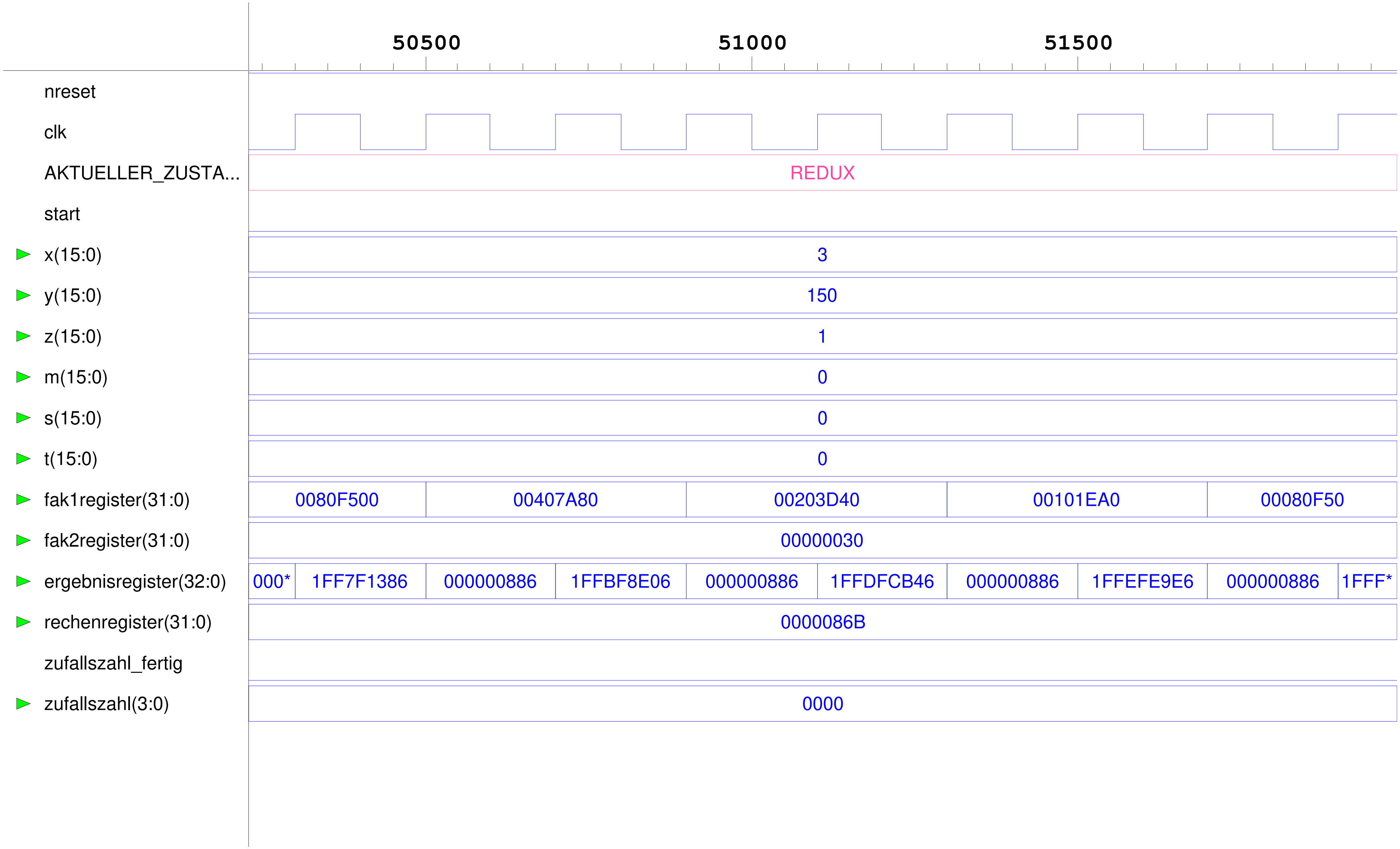


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

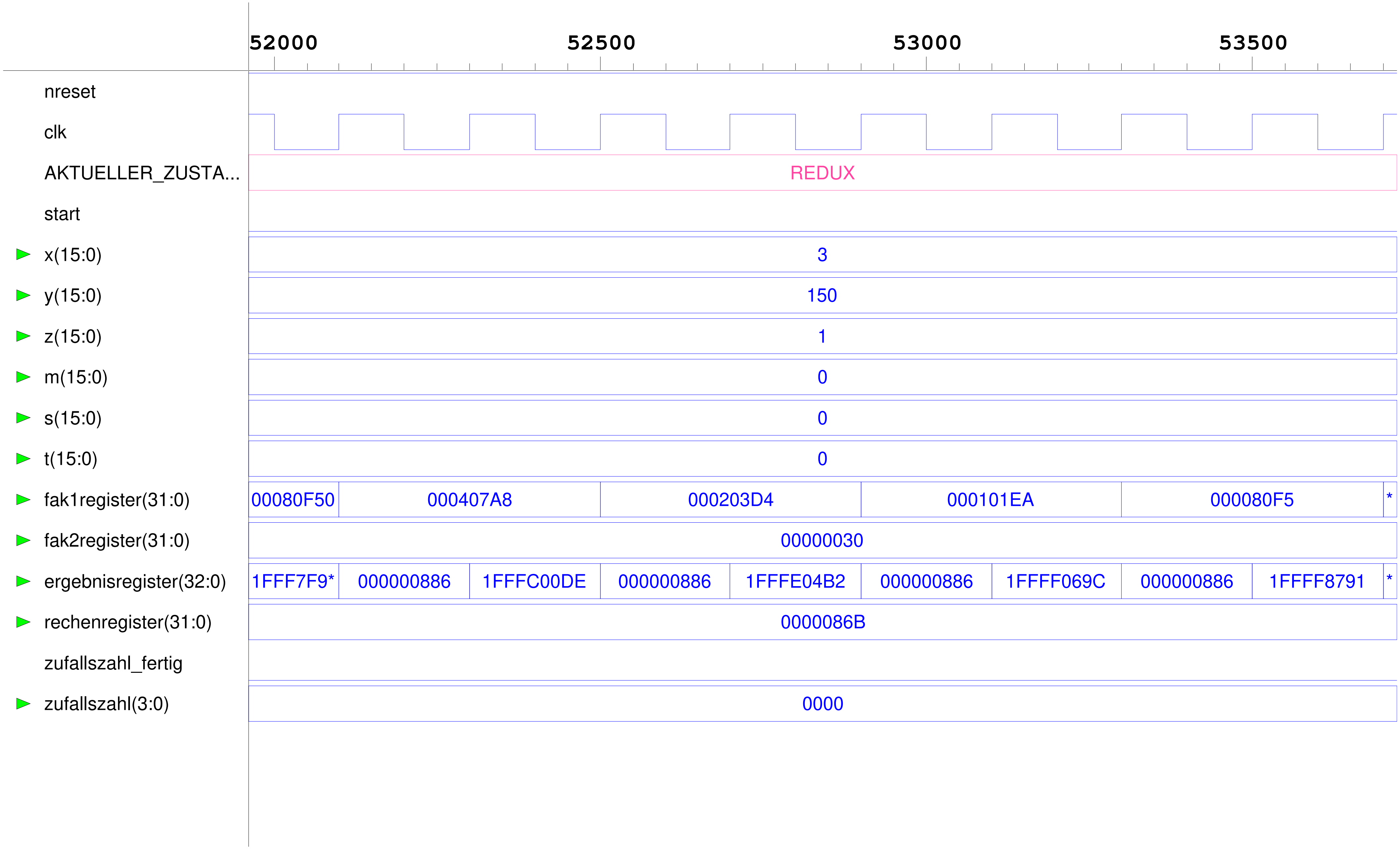
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

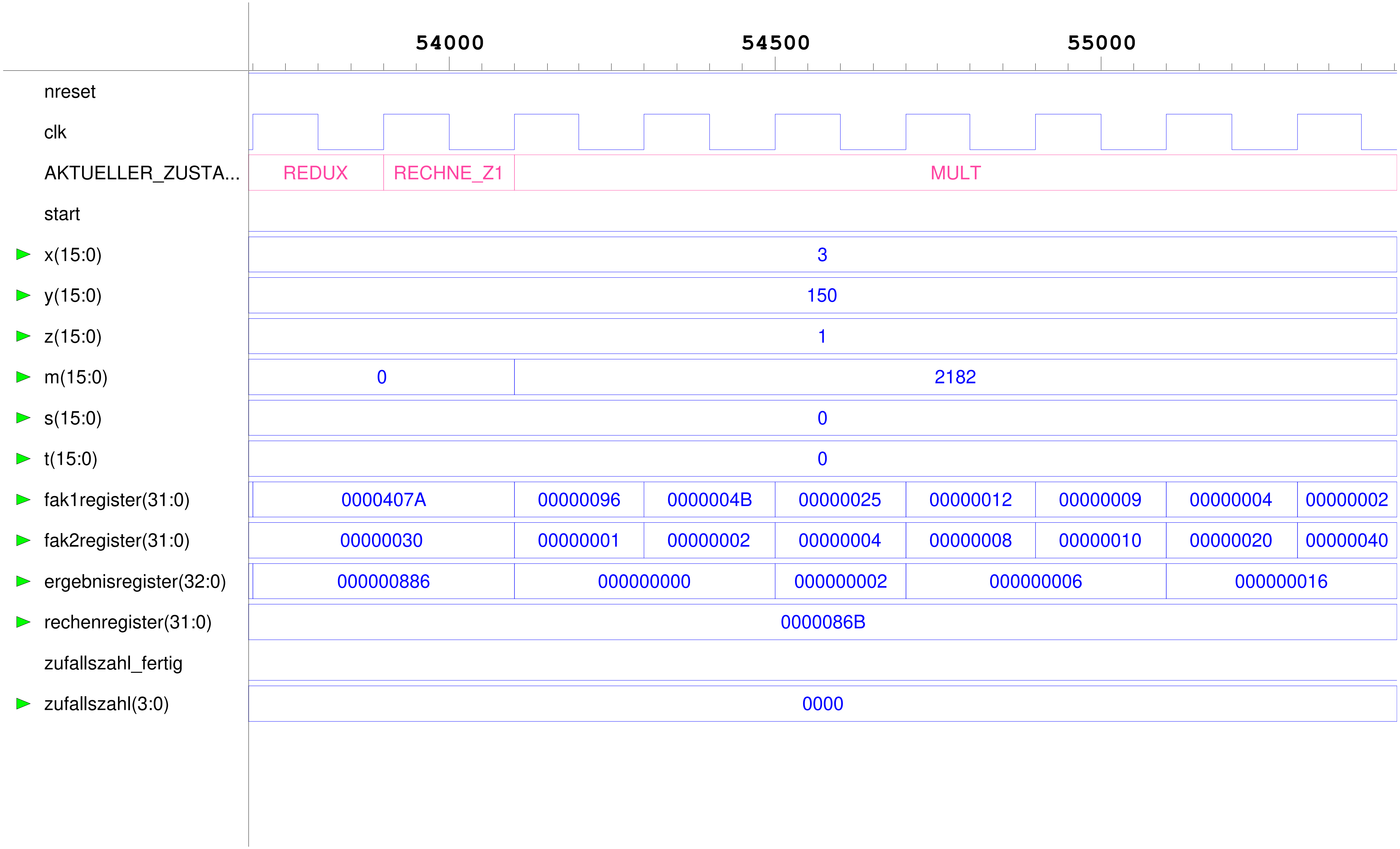

47000
47500
48000
nreset
clk
AKTUELLER_ZUSTA...
RECHNE*
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
0000407A
80F50000
407A8000
203D4000
101EA000
*
fak2register(31:0)
00000030
ergebnisregister(32:0)
0000000*
000000886
17F0B0886
000000886
1BF858886
000000886
1DFC2C886
000000886
1EFE16886
*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

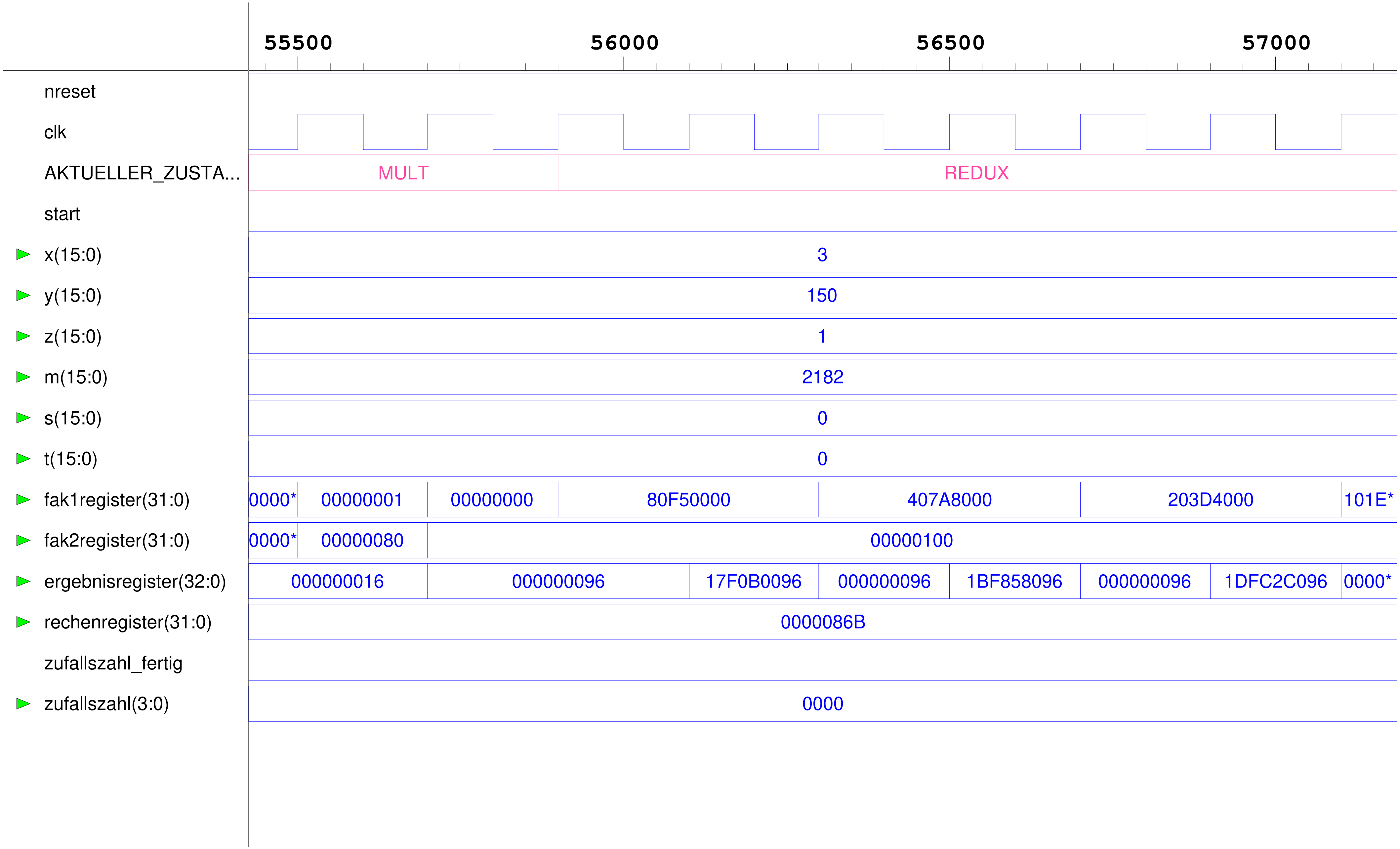


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


52000
52500
53000
53500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
0
s(15:0)
0
t(15:0)
0
fak1register(31:0)
00080F50
000407A8
000203D4
000101EA
000080F5
*
fak2register(31:0)
00000030
ergebnisregister(32:0)
1FFF7F9*
000000886
1FFFC00DE
000000886
1FFFE04B2
000000886
1FFFF069C
000000886
1FFFF8791
*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

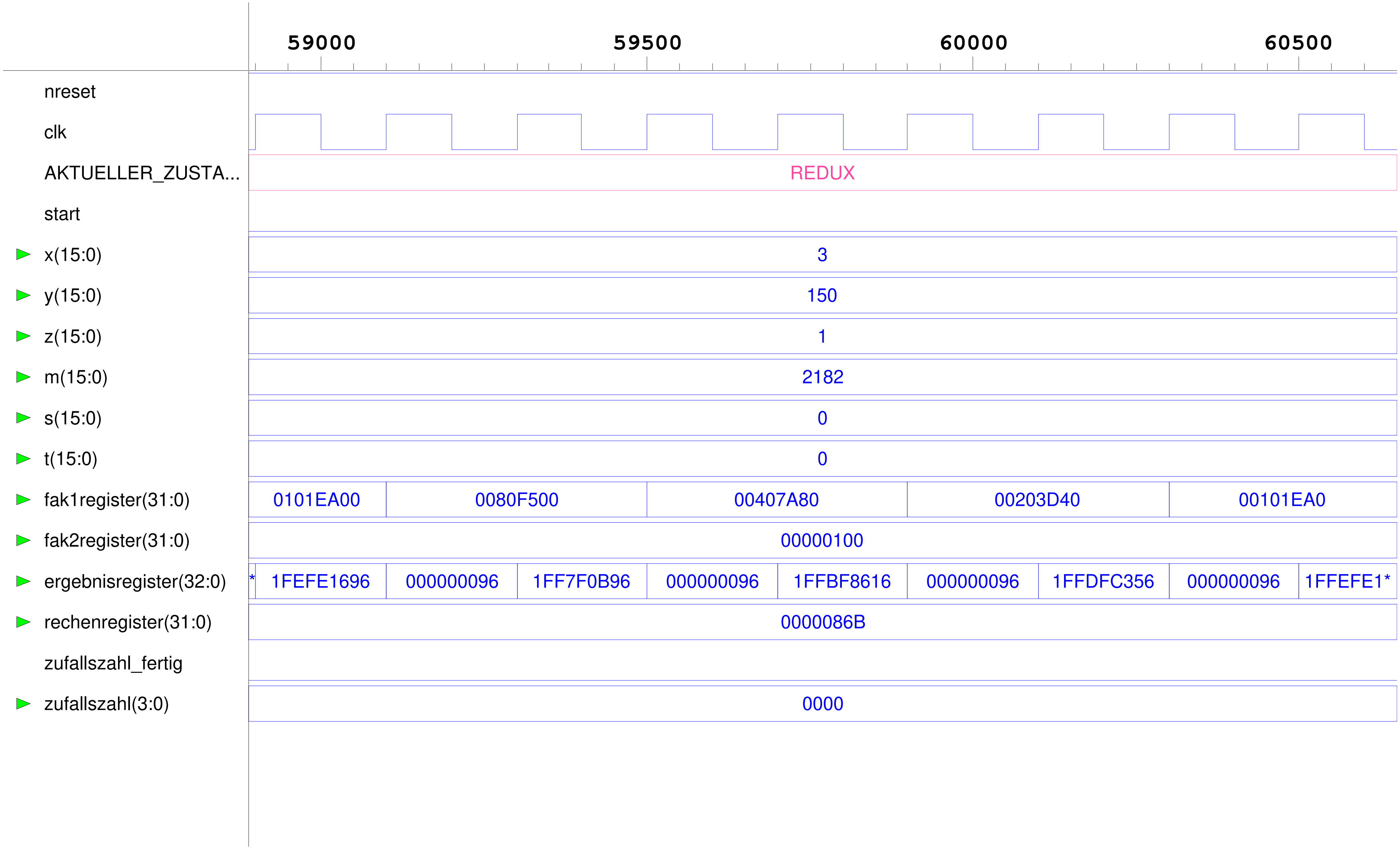


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

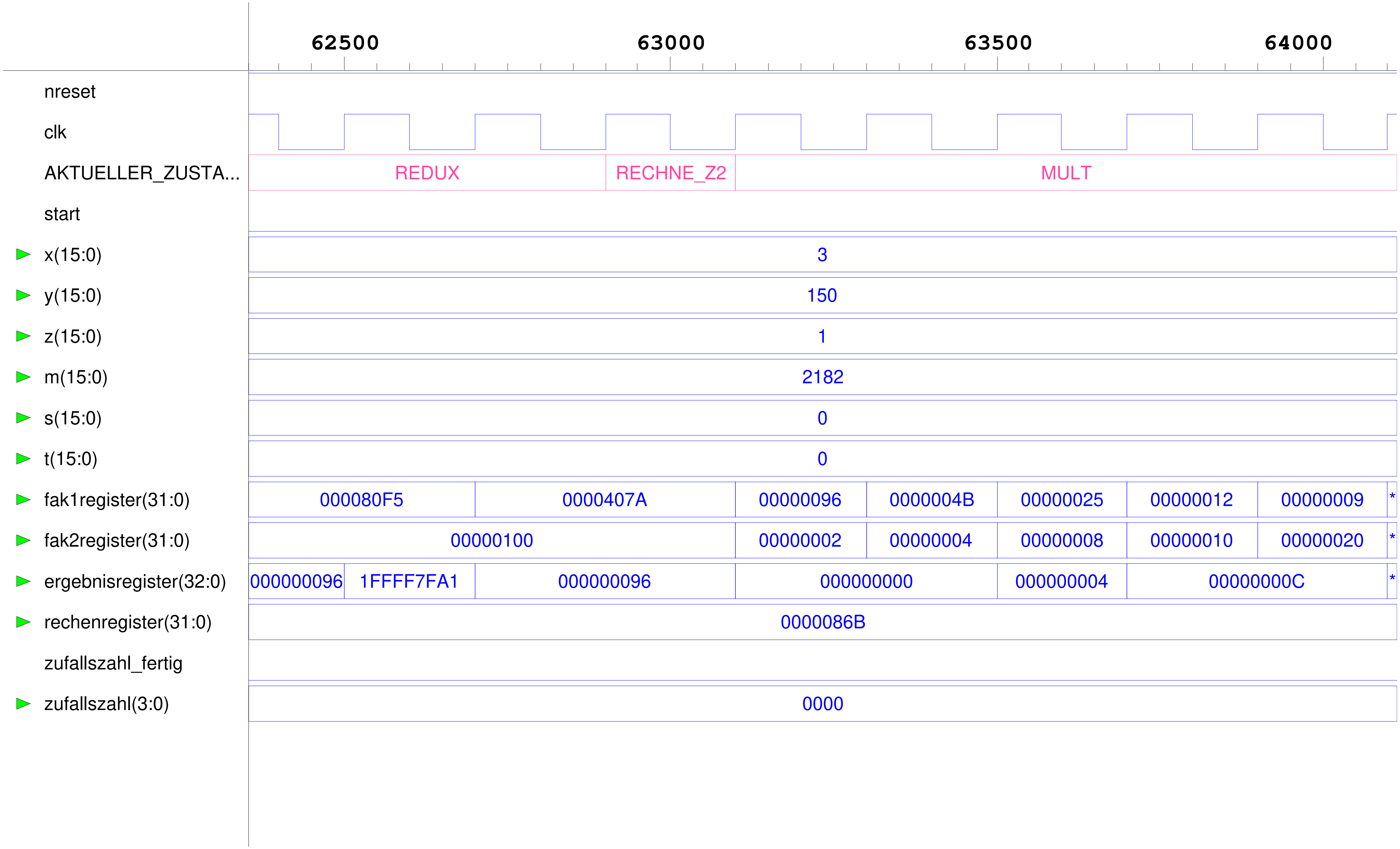


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

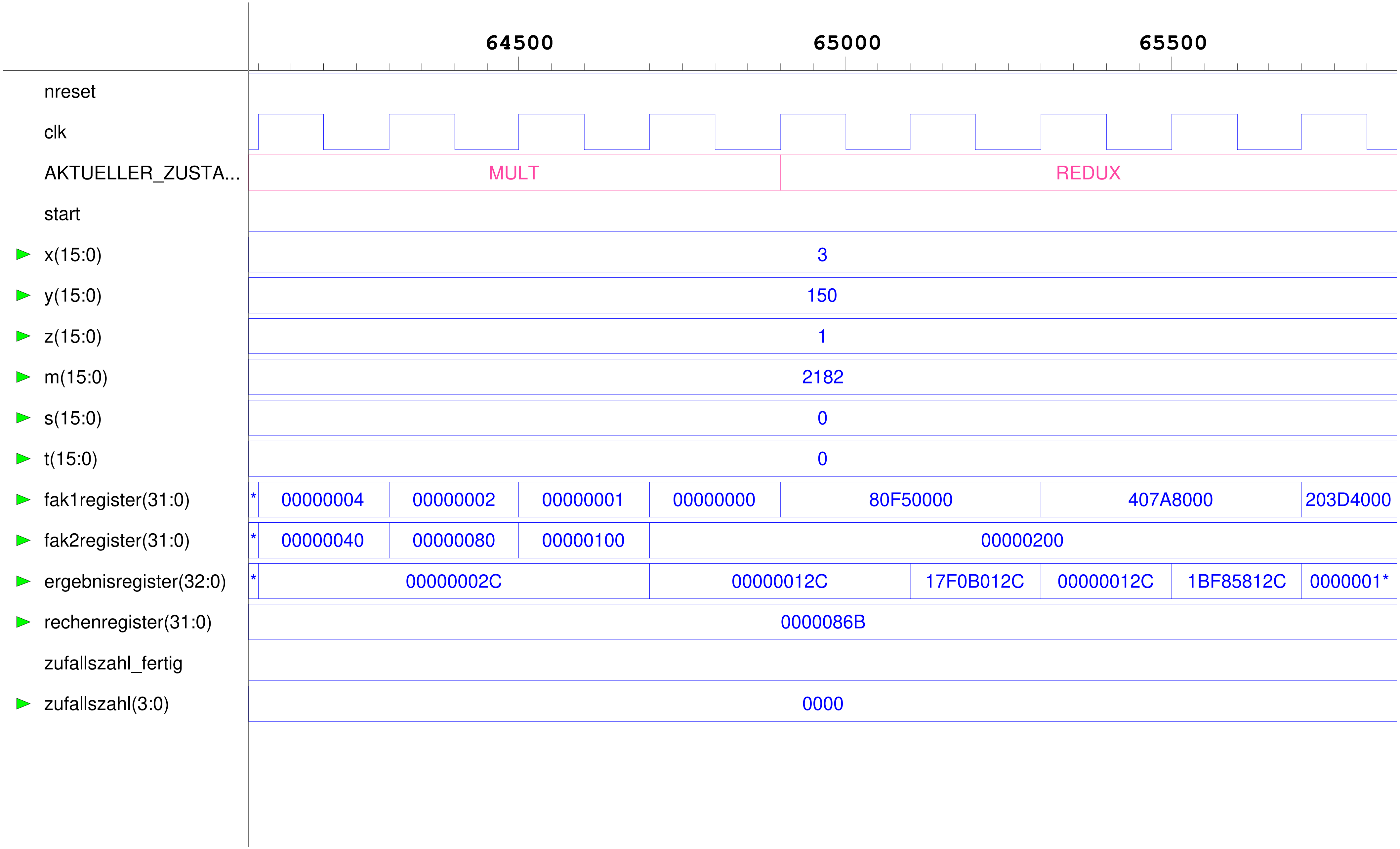

57500
58000
58500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
101EA000
080F5000
0407A800
0203D400
0101EA00
fak2register(31:0)
00000100
ergebnisregister(32:0)
000000096
1EFE16096
000000096
1F7F0B096
000000096
1FBF85896
000000096
1FDFC2C96
000000096
*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000


59000
59500
60000
60500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
0101EA00
0080F500
00407A80
00203D40
00101EA0
fak2register(31:0)
00000100
ergebnisregister(32:0)
*
1FEFE1696
000000096
1FF7F0B96
000000096
1FFBF8616
000000096
1FFDFC356
000000096
1FFEFE1*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

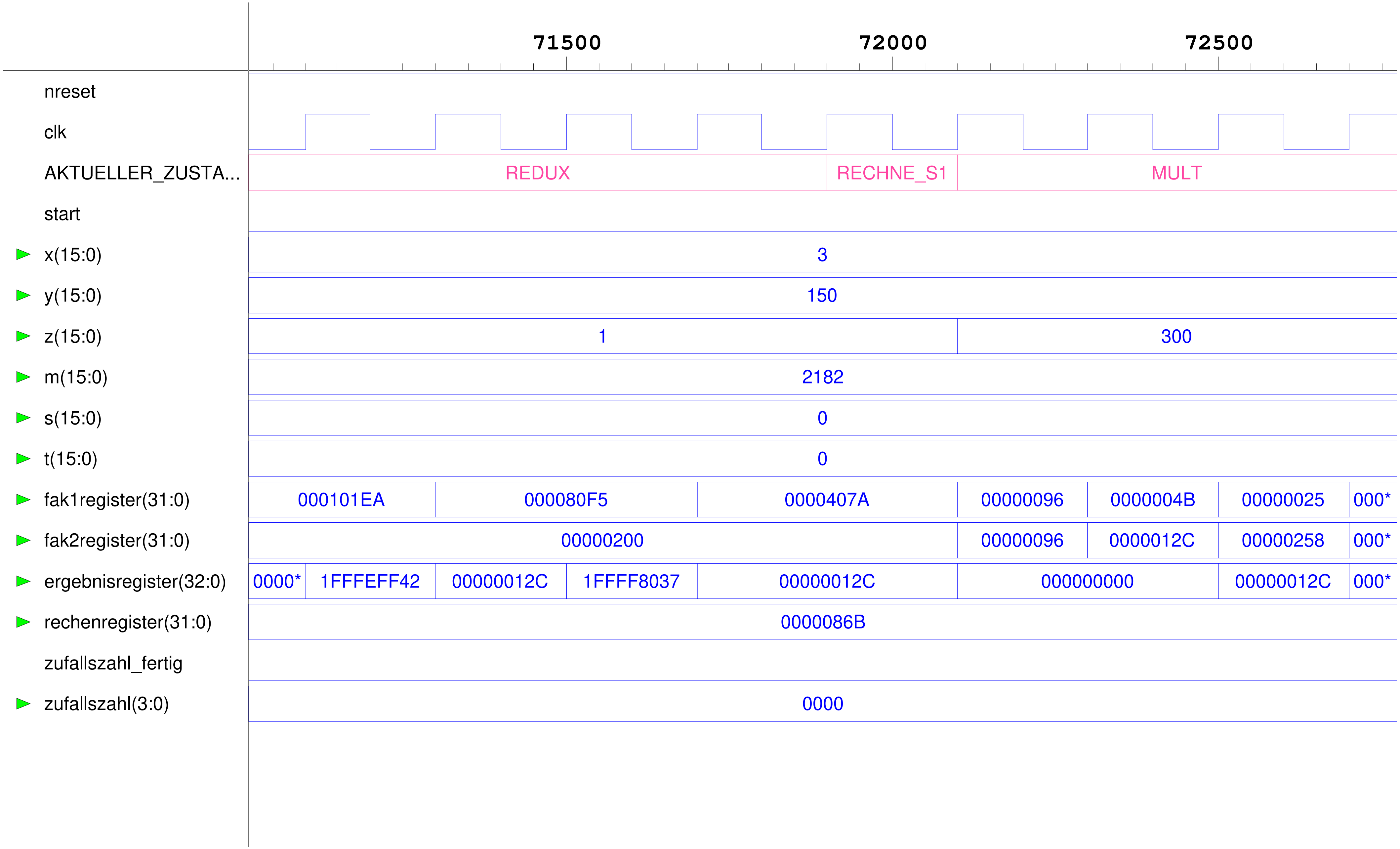


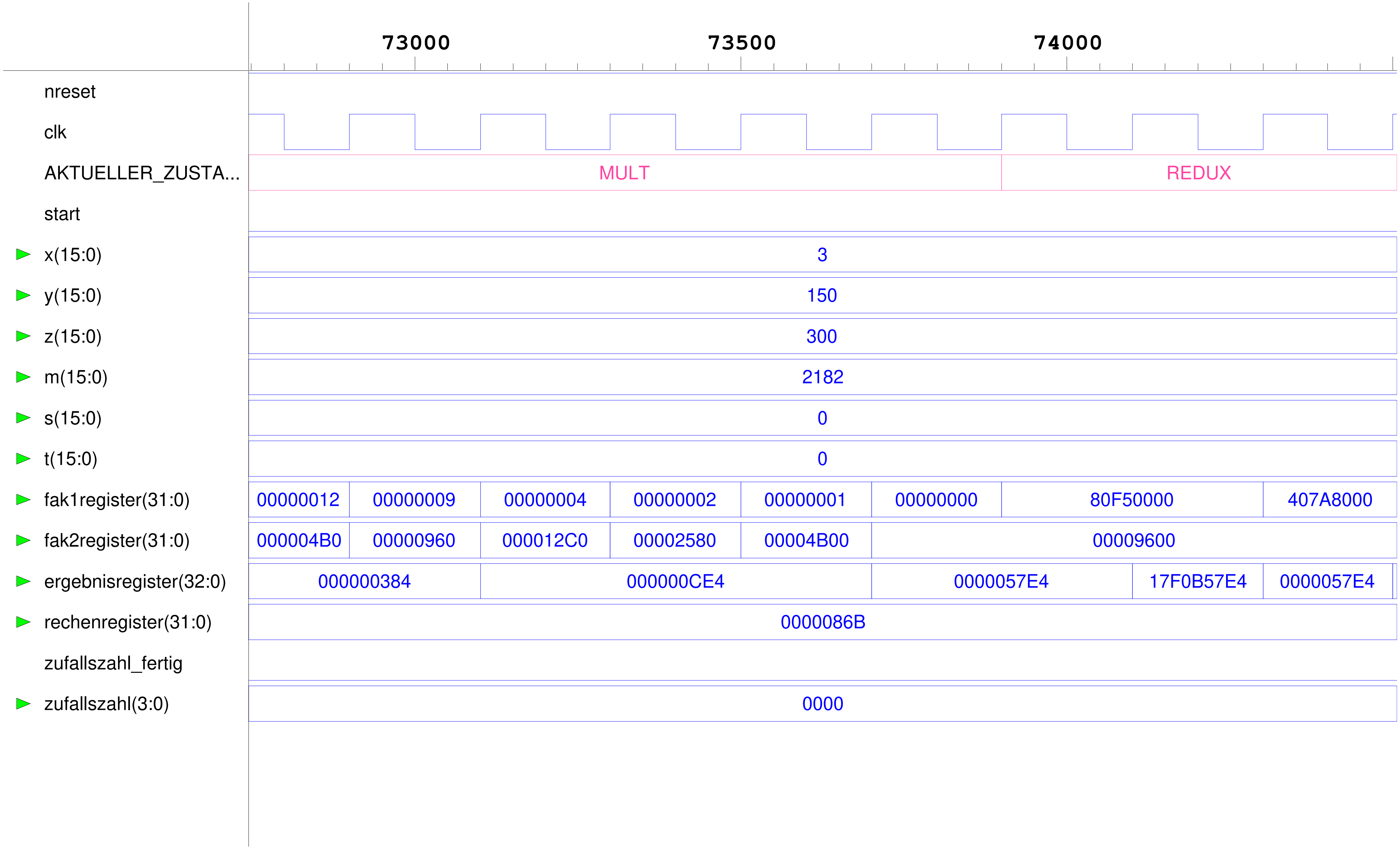
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


71500
72000
72500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
RECHNE_S1
MULT
start
x(15:0)
3
y(15:0)
150
z(15:0)
1
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
000101EA
000080F5
0000407A
00000096
0000004B
00000025
000*
fak2register(31:0)
00000200
00000096
0000012C
00000258
000*
ergebnisregister(32:0)
0000*
1FFFEFF42
00000012C
1FFFF8037
00000012C
000000000
00000012C
000*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

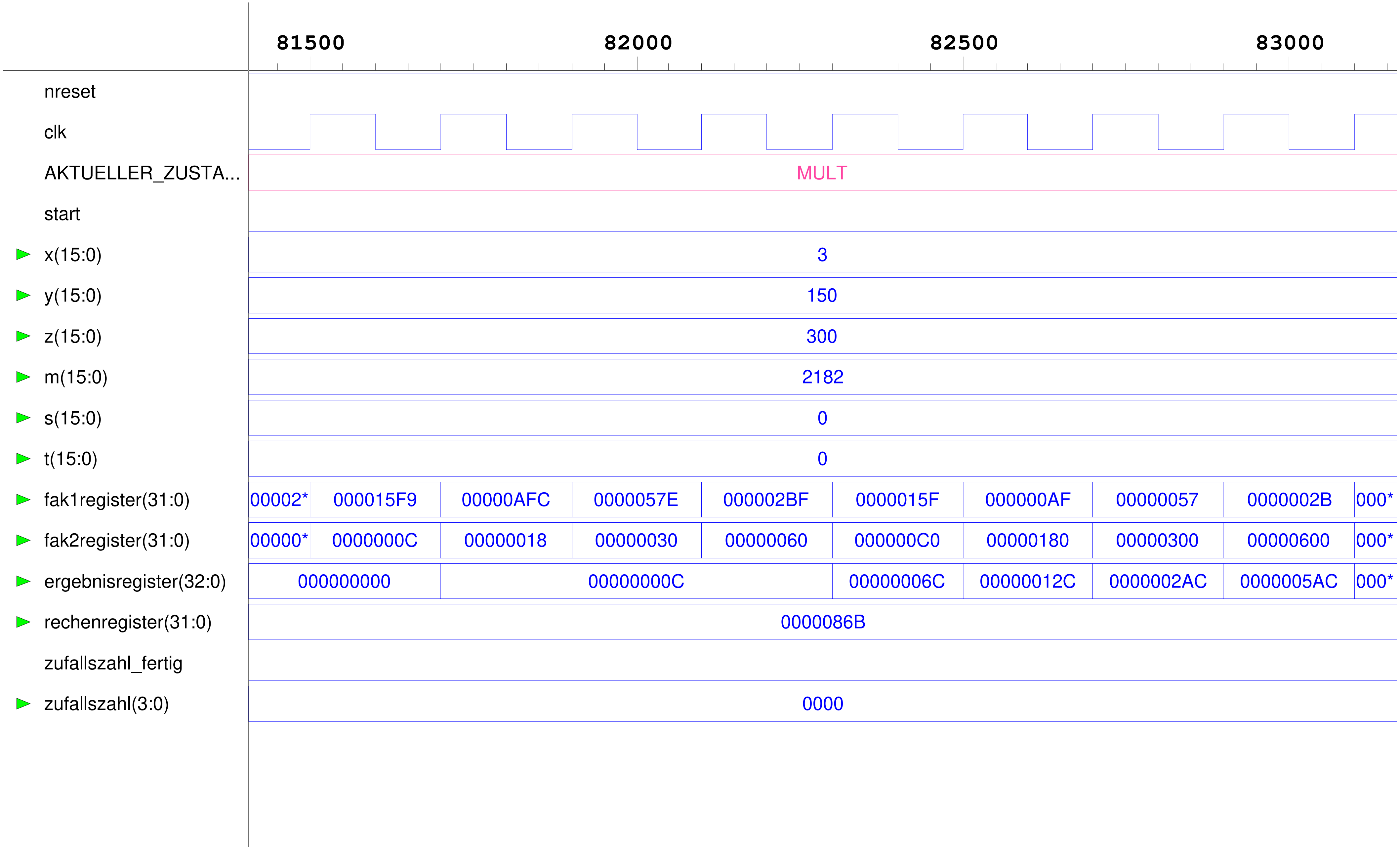

73000
73500
74000
nreset
clk
AKTUELLER_ZUSTA...
MULT
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
00000012
00000009
00000004
00000002
00000001
00000000
80F50000
407A8000
fak2register(31:0)
000004B0
00000960
000012C0
00002580
00004B00
00009600
ergebnisregister(32:0)
000000384
000000CE4
0000057E4
17F0B57E4
0000057E4
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

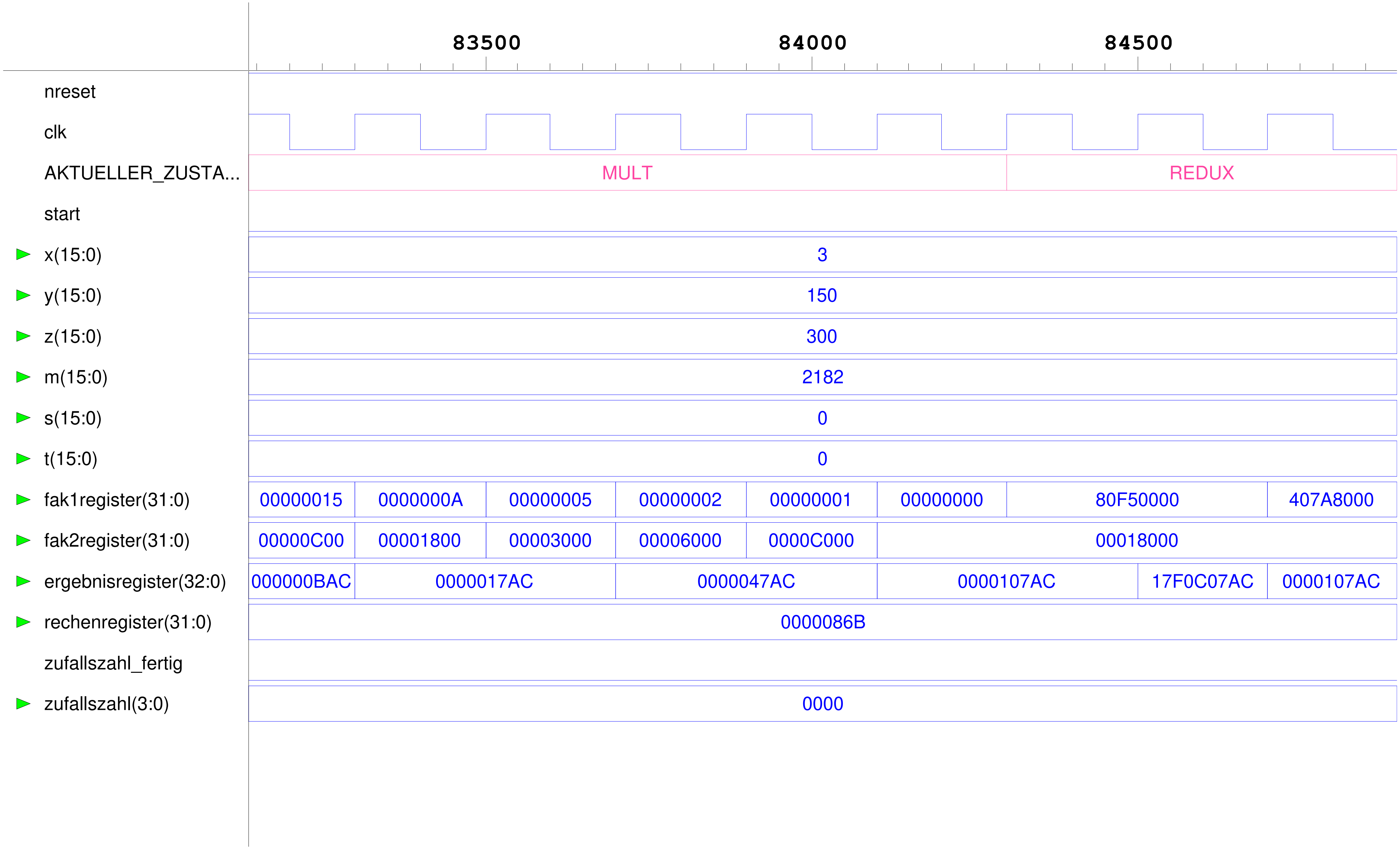
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


80000
80500
81000
nreset
clk
AKTUELLER_ZUSTA...
start
x(15:0)
y(15:0)
z(15:0)
m(15:0)
s(15:0)
t(15:0)
fak1register(31:0)
fak2register(31:0)
ergebnisregister(32:0)
rechenregister(31:0)
zufallszahl_fertig
zufallszahl(3:0)
REDUX
RECHNE_S2
MULT
3
150
300
2182
0
0
000203D4
000101EA
000080F5
0000407A
000057E4
00002BF2
00009600
00000003
00000006
0*
1FFFE5410
0000057E4
1FFFF55FA
0000057E4
1FFFFD6EF
0000057E4
000000000
0000086B
0000


81500
82000
82500
83000
nreset
clk
AKTUELLER_ZUSTA...
MULT
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
00002* 000015F9 00000AFC 0000057E 000002BF 0000015F 000000AF 00000057 0000002B 000*
fak2register(31:0)
00000* 0000000C 00000018 00000030 00000060 000000C0 00000180 00000300 00000600 000*
ergebnisregister(32:0)
000000000 00000000C 00000006C 00000012C 0000002AC 0000005AC 000*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

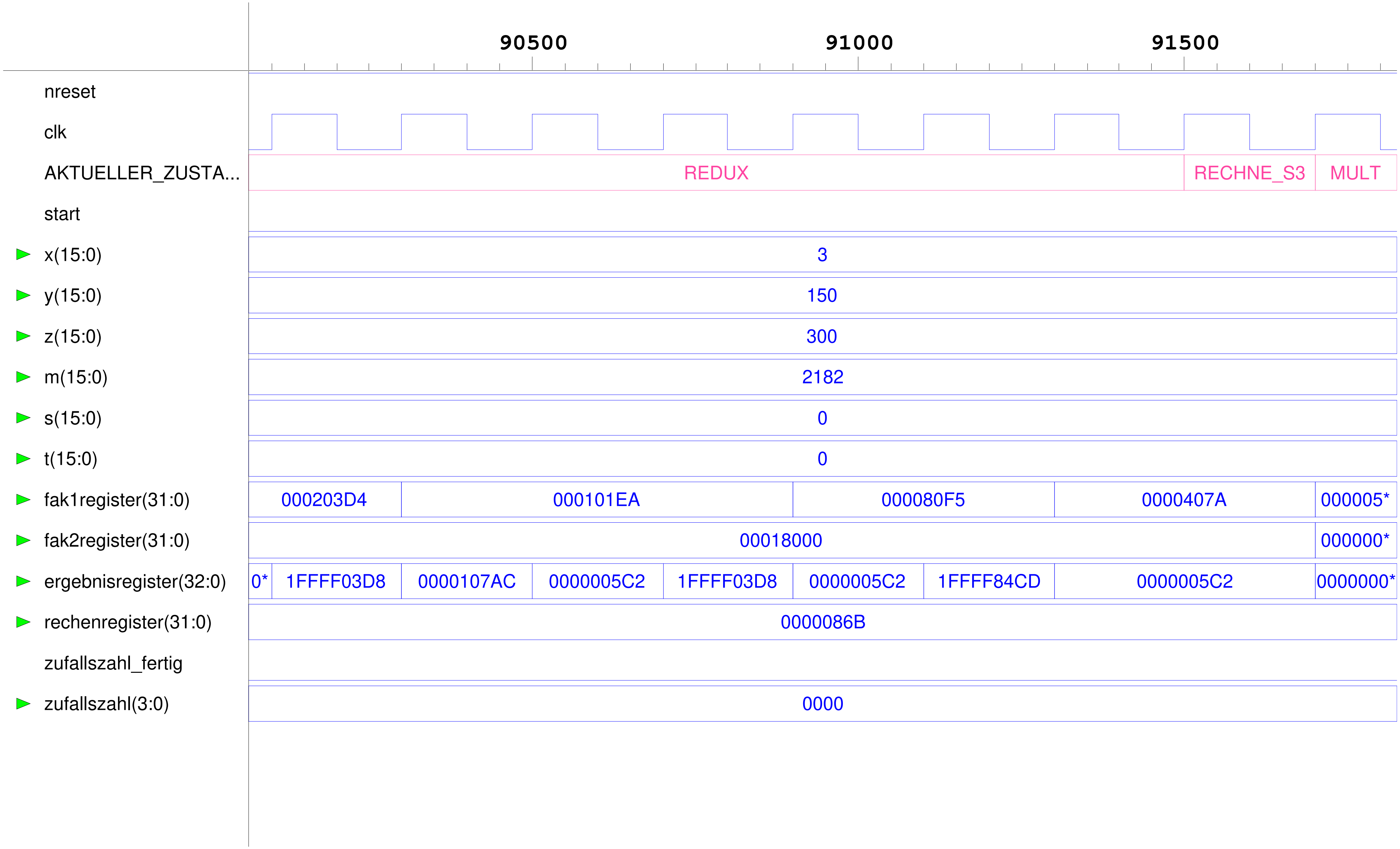


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


85000
85500
86000
86500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
407A8000
203D4000
101EA000
080F5000
0407A800
fak2register(31:0)
00018000
ergebnisregister(32:0)
0*
1BF8687AC
0000107AC
1DFC3C7AC
0000107AC
1EFE267AC
0000107AC
1F7F1B7AC
0000107AC
1FBF95F*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

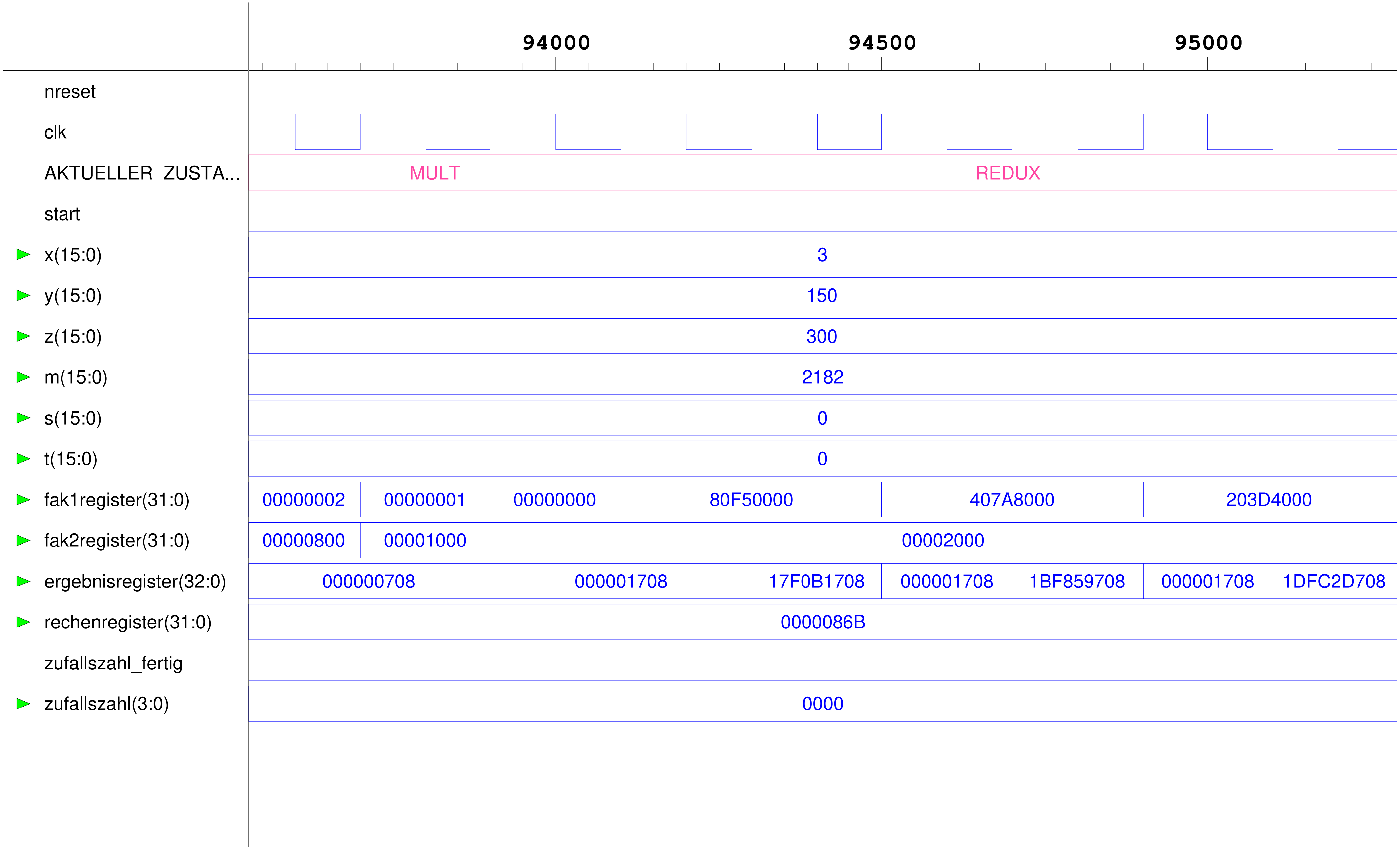

87000
87500
88000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
0407A*
0203D400
0101EA00
0080F500
00407A80
002*
fak2register(31:0)
00018000
ergebnisregister(32:0)
1FBF9*
0000107AC
1FDFD33AC
0000107AC
1FEFF1DAC
0000107AC
1FF8012AC
0000107AC
1FFC08D2C
000*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


92000
92500
93000
nreset
clk
AKTUELLER_ZUSTA...
MULT
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
00000*
000002E1
00000170
000000B8
0000005C
0000002E
00000017
0000000B
00000005
000*
fak2register(31:0)
00000*
00000008
00000010
00000020
00000040
00000080
00000100
00000200
00000400
000*
ergebnisregister(32:0)
000000000
000000008
000000108
000000308
000*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

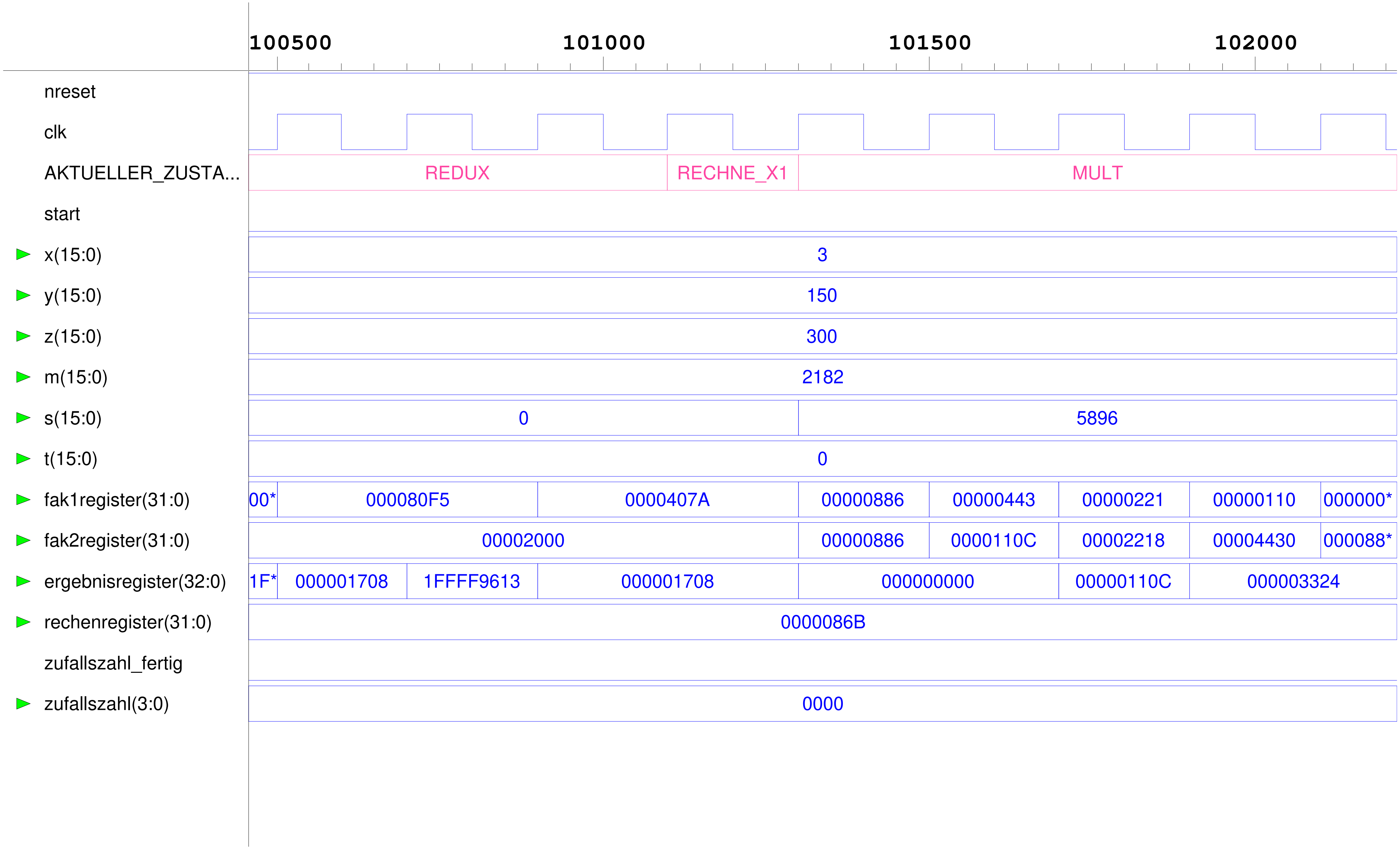


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

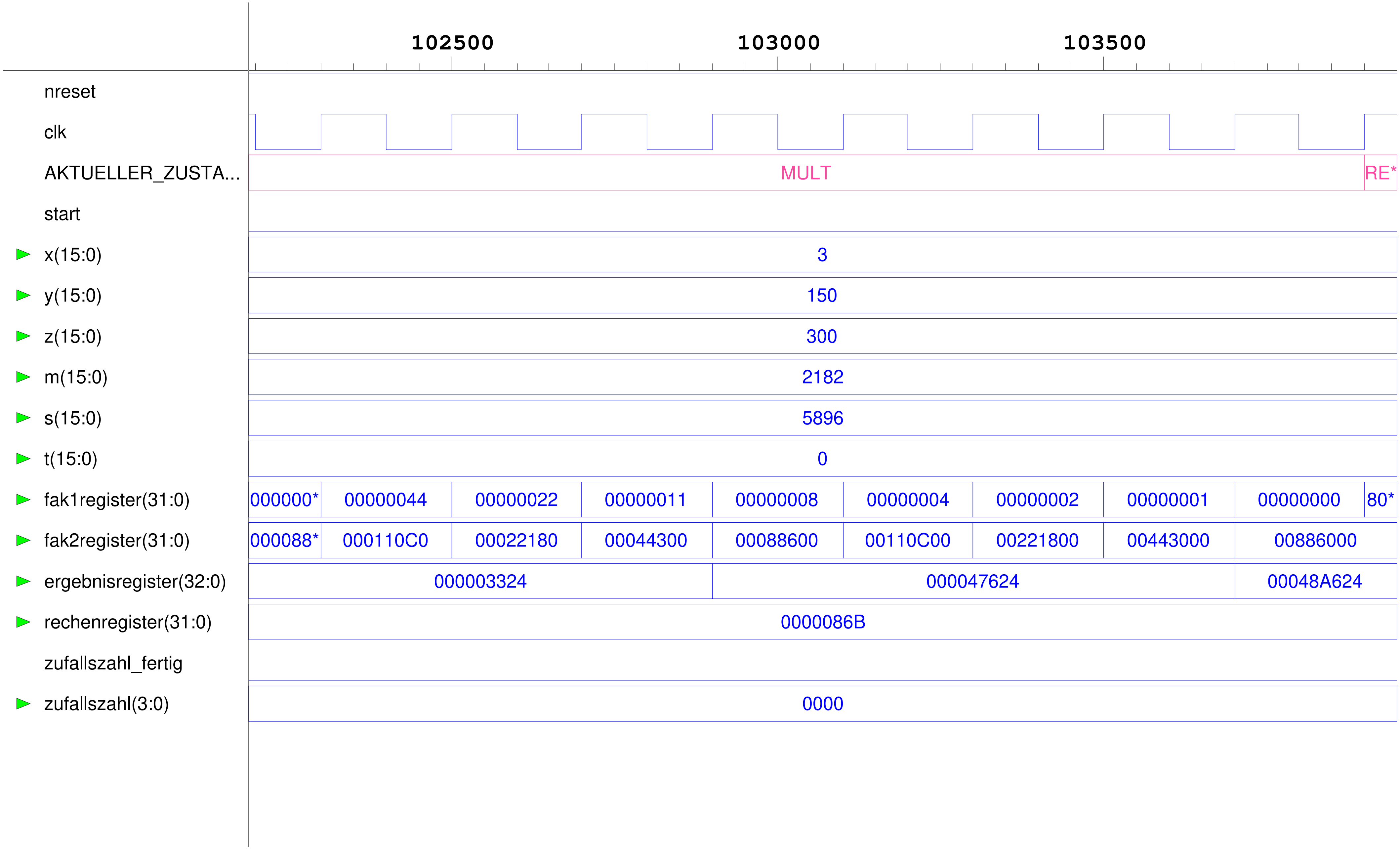

95500
96000
96500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
0
t(15:0)
0
fak1register(31:0)
2*
101EA000
080F5000
0407A800
0203D400
0101EA*
fak2register(31:0)
00002000
ergebnisregister(32:0)
1*
000001708
1EFE17708
000001708
1F7F0C708
000001708
1FBF86F08
000001708
1FDFC4308
0000017*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

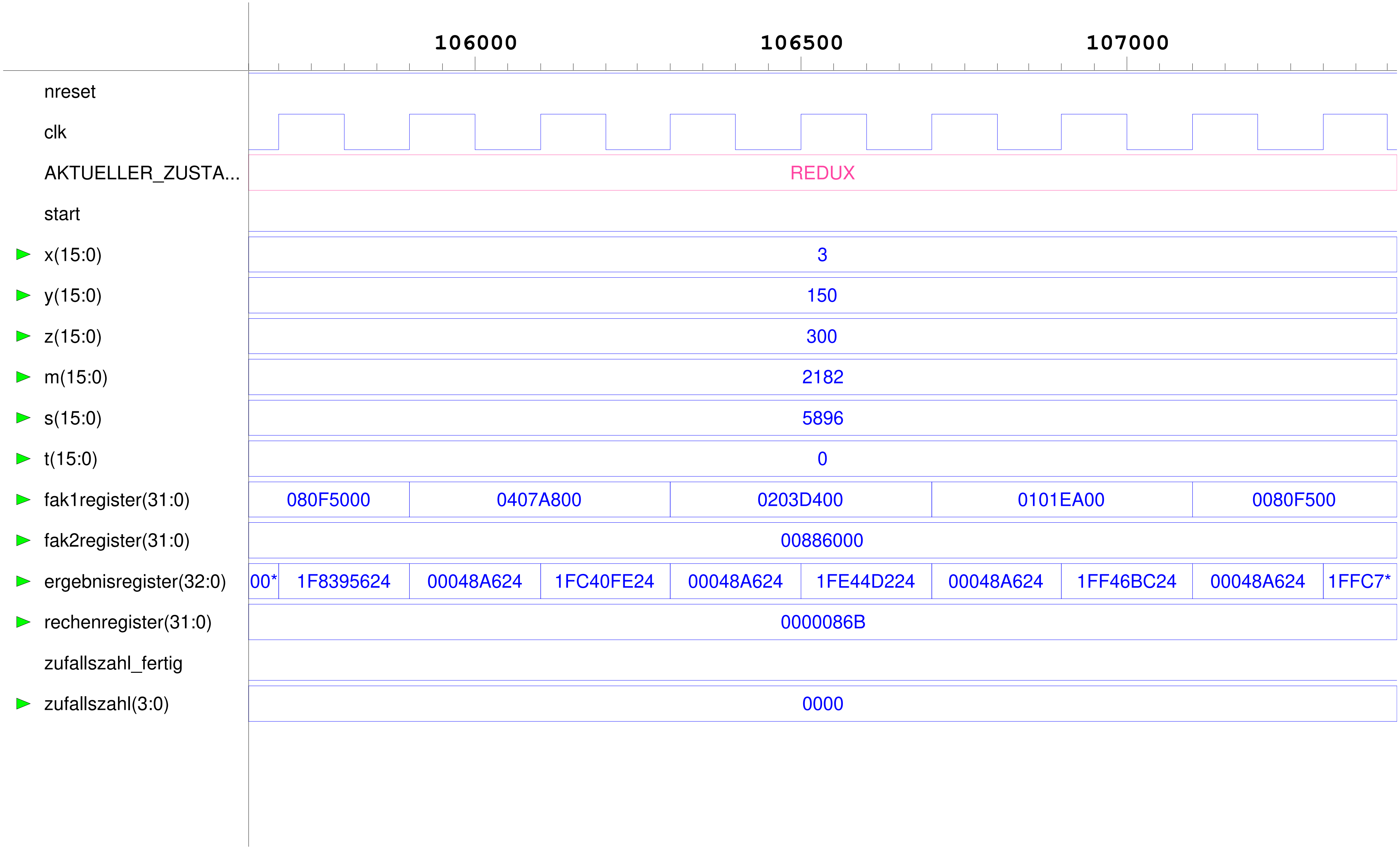


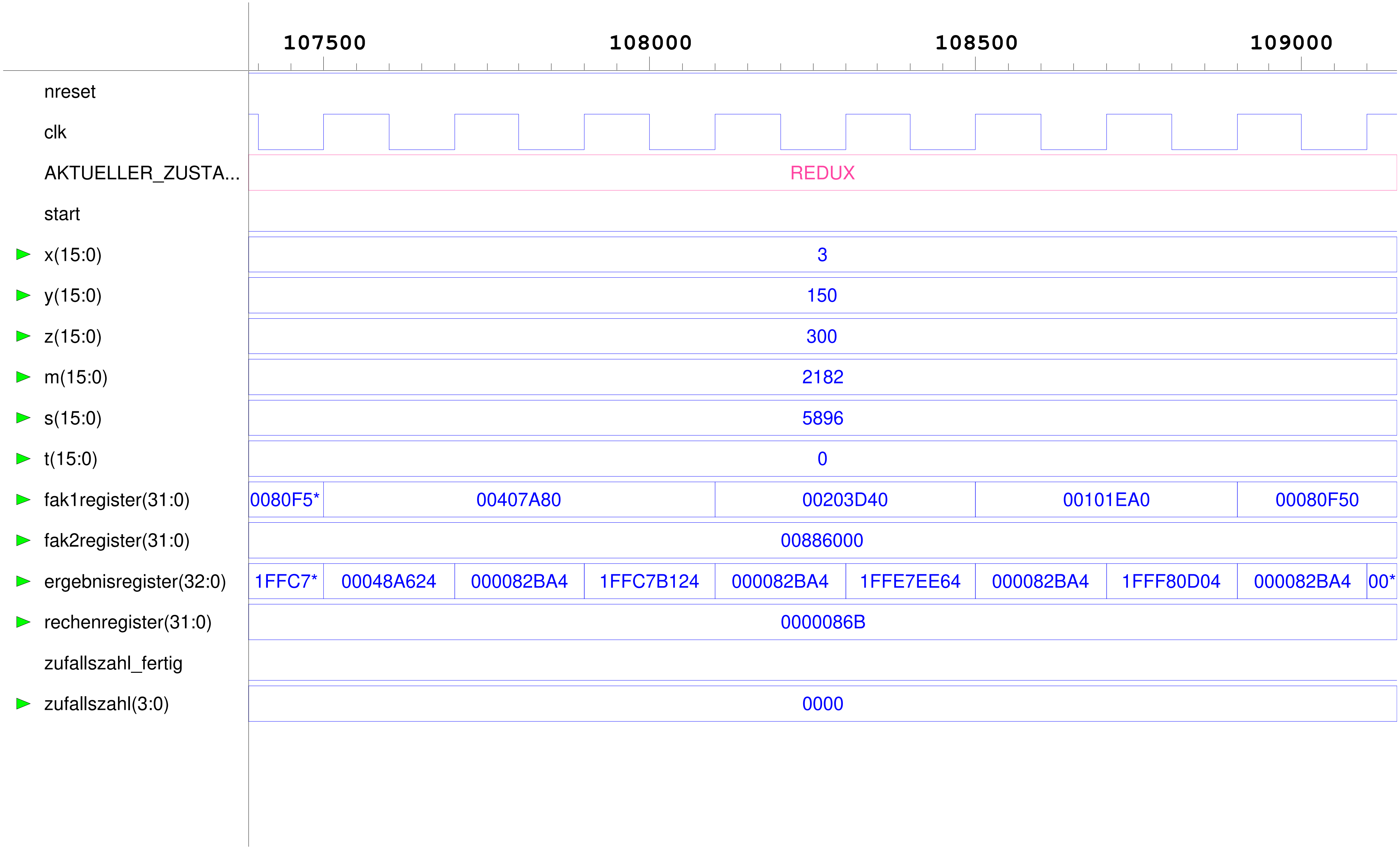
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



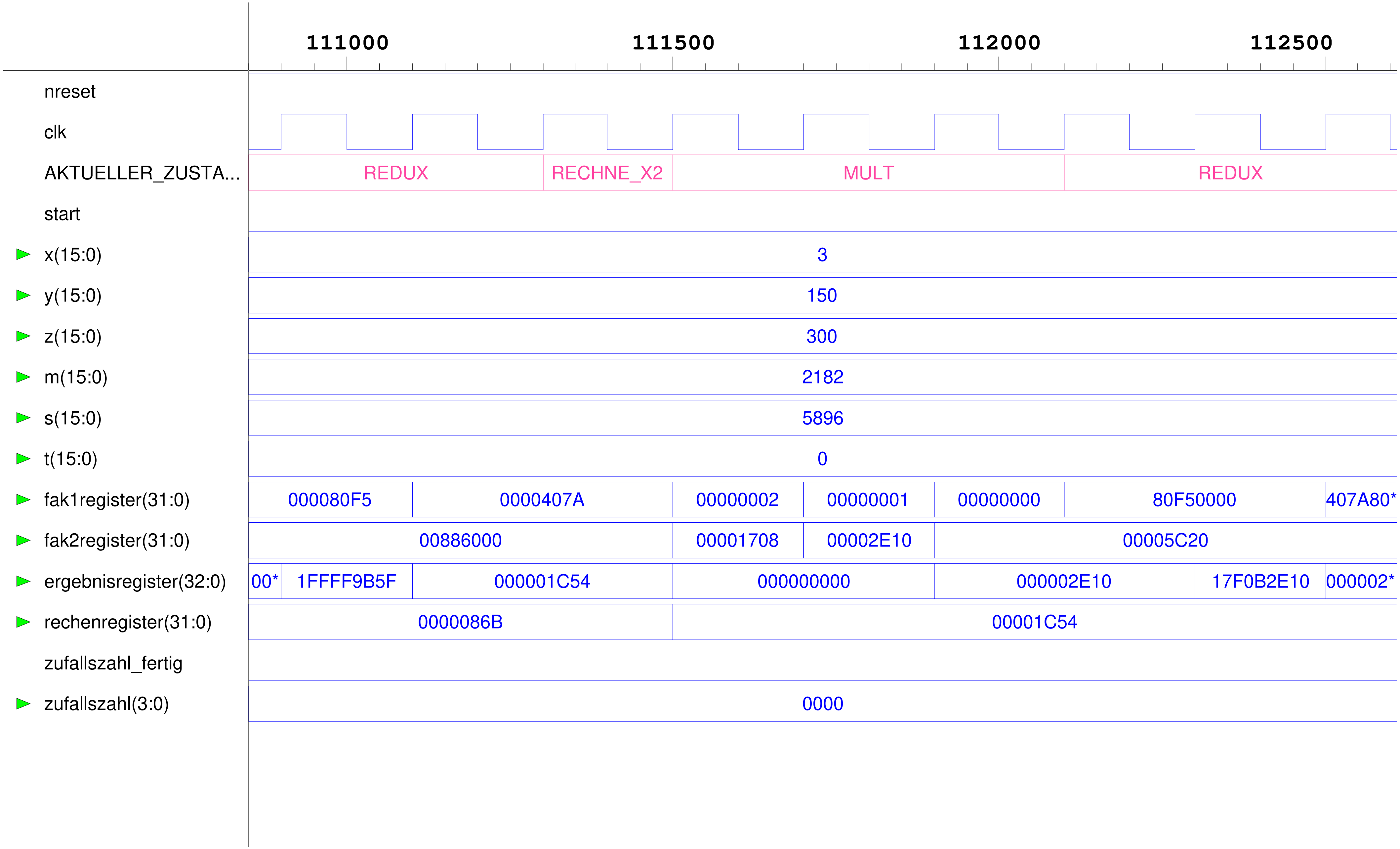
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

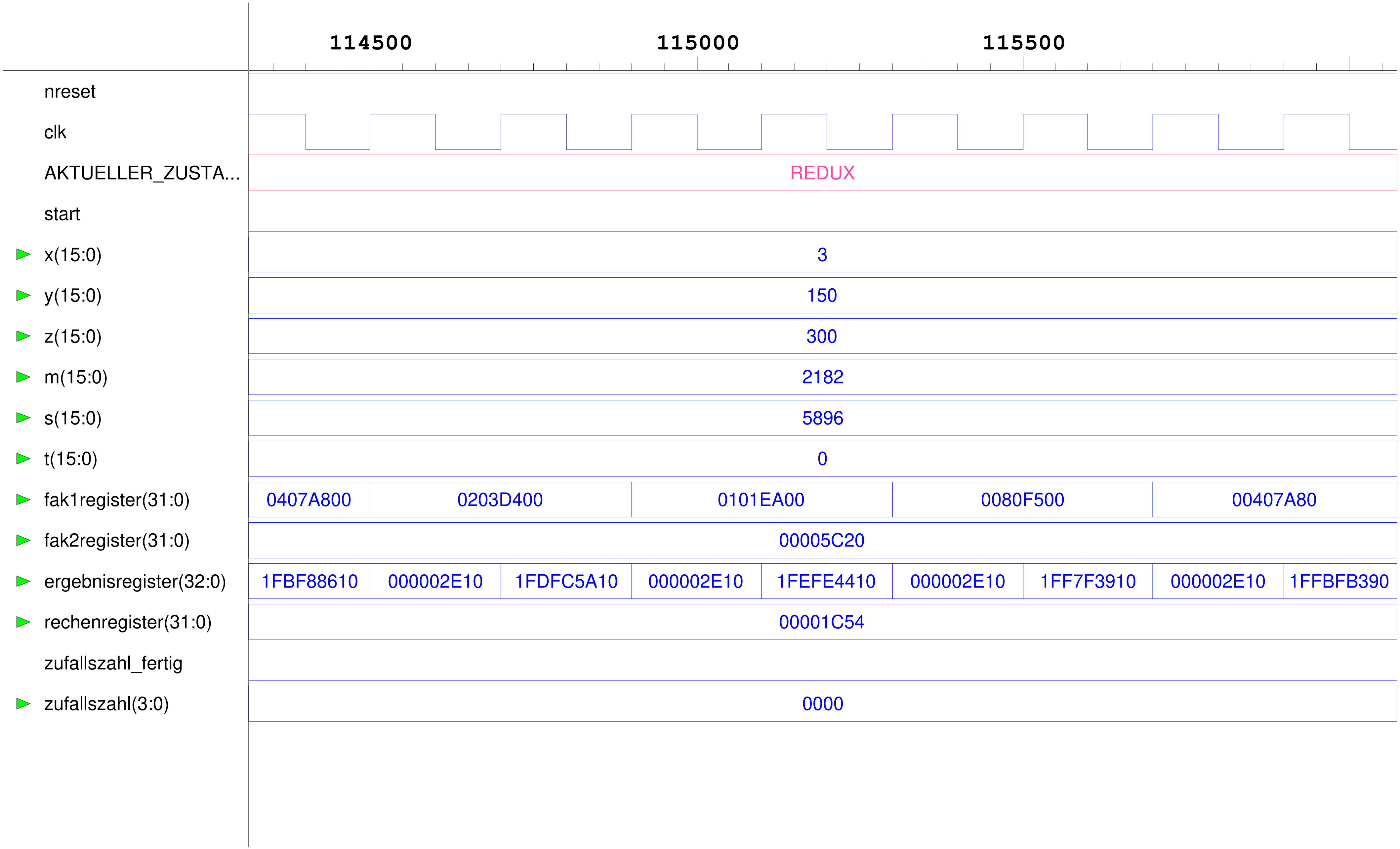

106000
106500
107000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
080F5000
0407A800
0203D400
0101EA00
0080F500
fak2register(31:0)
00886000
ergebnisregister(32:0)
00*
1F8395624
00048A624
1FC40FE24
00048A624
1FE44D224
00048A624
1FF46BC24
00048A624
1FFC7*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000


107500
108000
108500
109000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
0080F5*
00407A80
00203D40
00101EA0
00080F50
fak2register(31:0)
00886000
ergebnisregister(32:0)
1FFC7*
00048A624
000082BA4
1FFC7B124
000082BA4
1FFE7EE64
000082BA4
1FFF80D04
000082BA4
00*
rechenregister(31:0)
0000086B
zufallszahl_fertig
zufallszahl(3:0)
0000

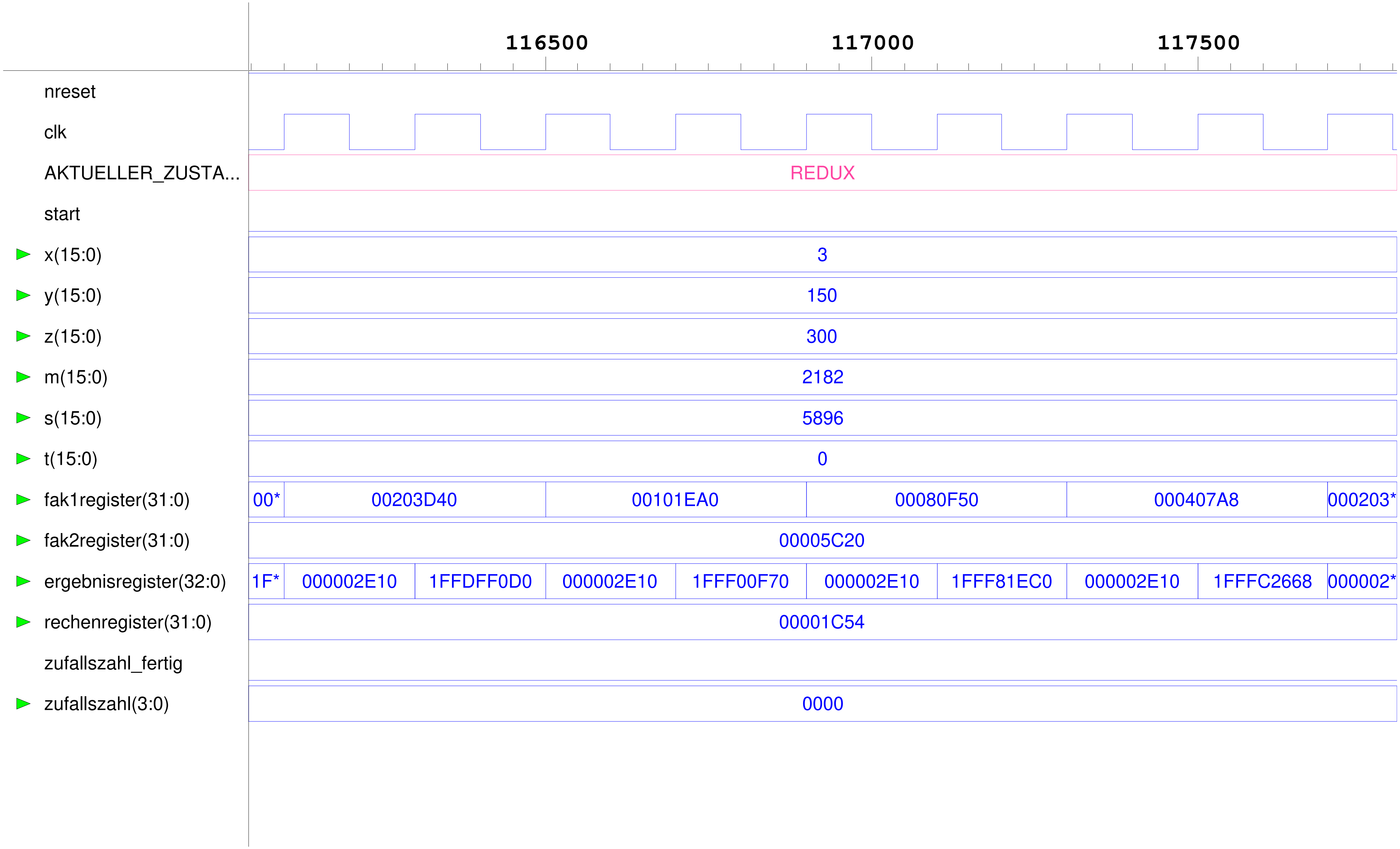
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

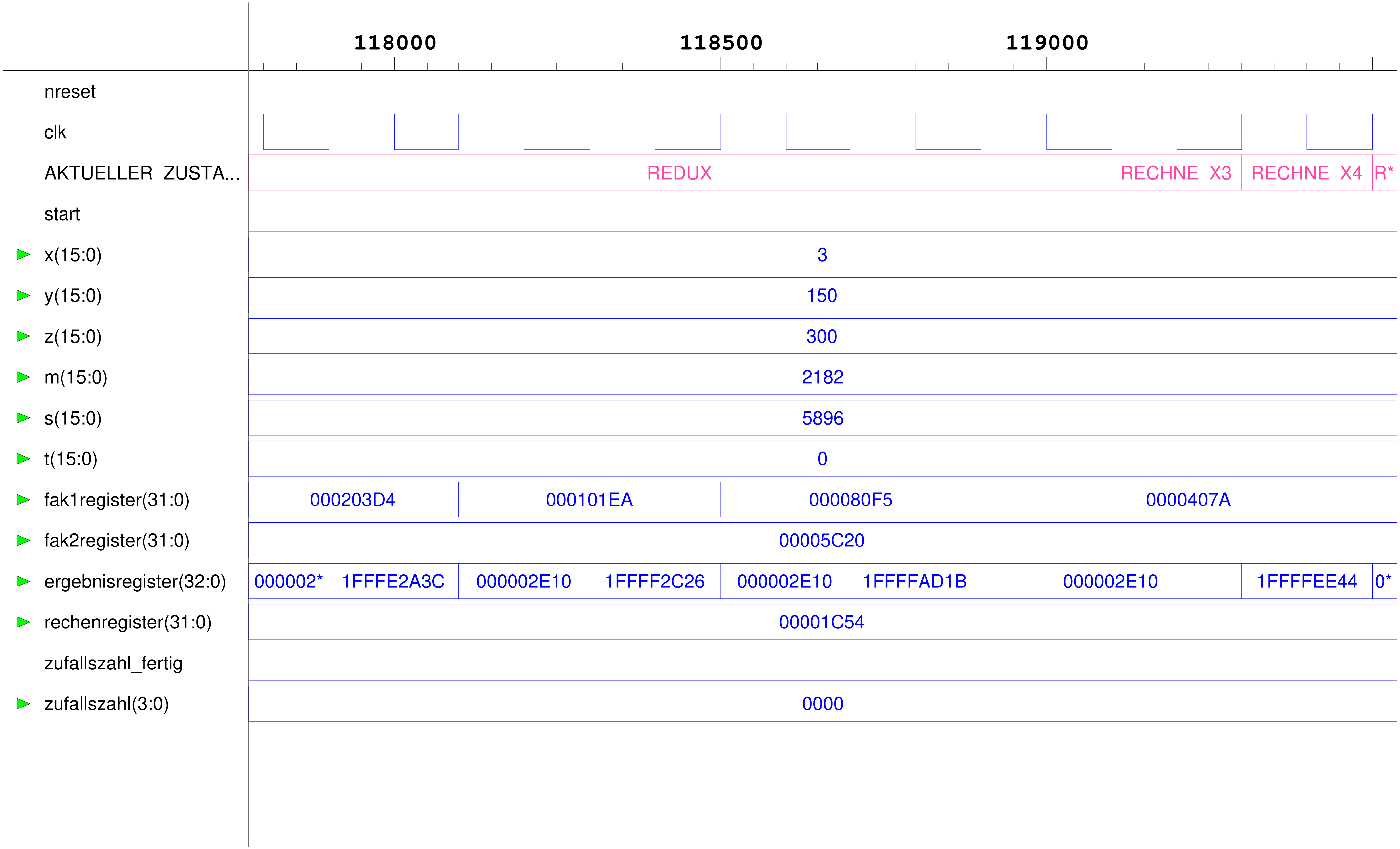

111000
111500
112000
112500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
RECHNE_X2
MULT
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
000080F5
0000407A
00000002
00000001
00000000
80F50000
407A80*
fak2register(31:0)
00886000
00001708
00002E10
00005C20
ergebnisregister(32:0)
00*
1FFFF9B5F
000001C54
000000000
000002E10
17F0B2E10
000002*
rechenregister(31:0)
0000086B
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

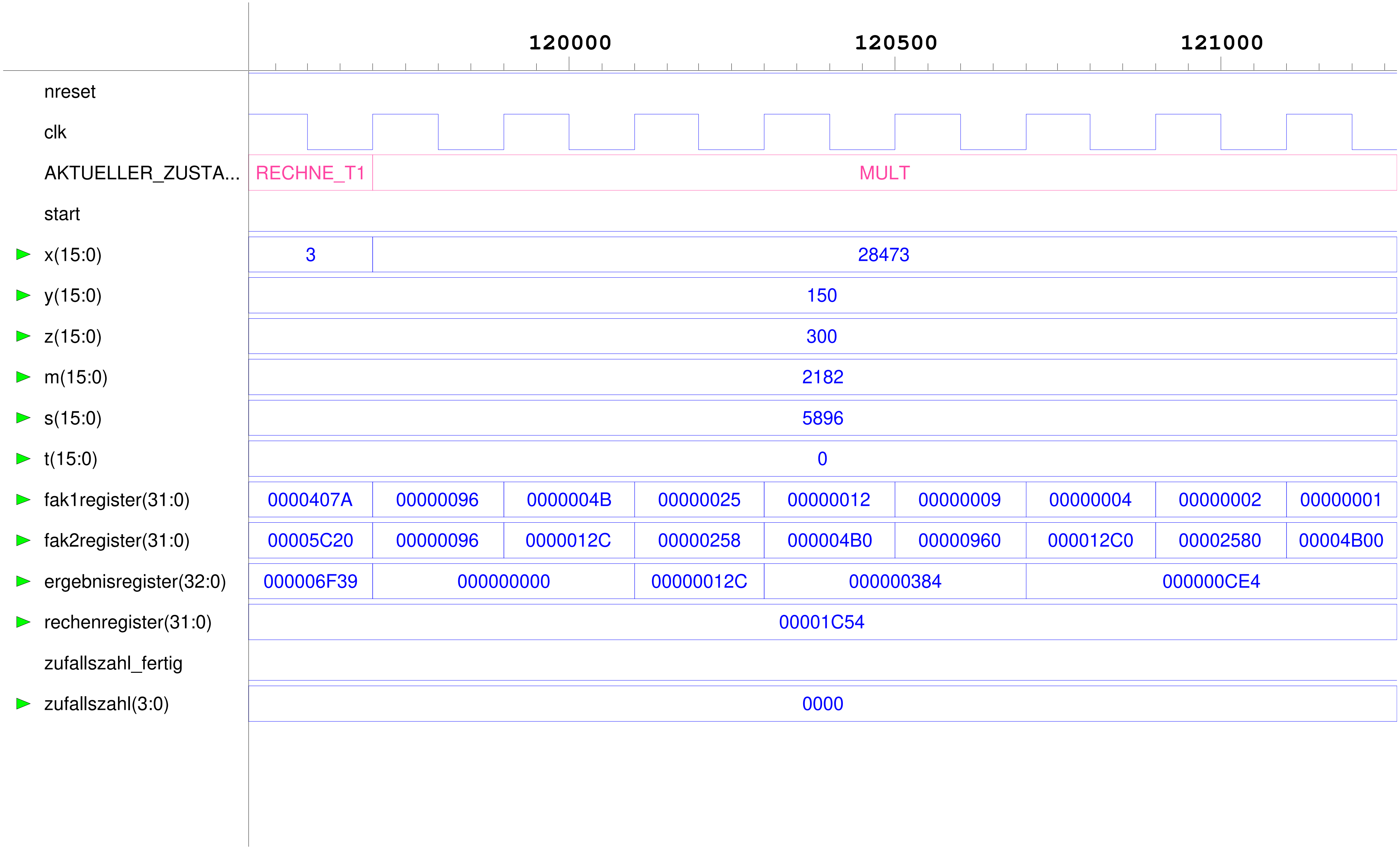

113000
113500
114000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
407A8000
203D4000
101EA000
080F5000
0407A800
fak2register(31:0)
00005C20
ergebnisregister(32:0)
000002*
1BF85AE10
000002E10
1DFC2EE10
000002E10
1EFE18E10
000002E10
1F7F0DE10
000002E10
1*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000



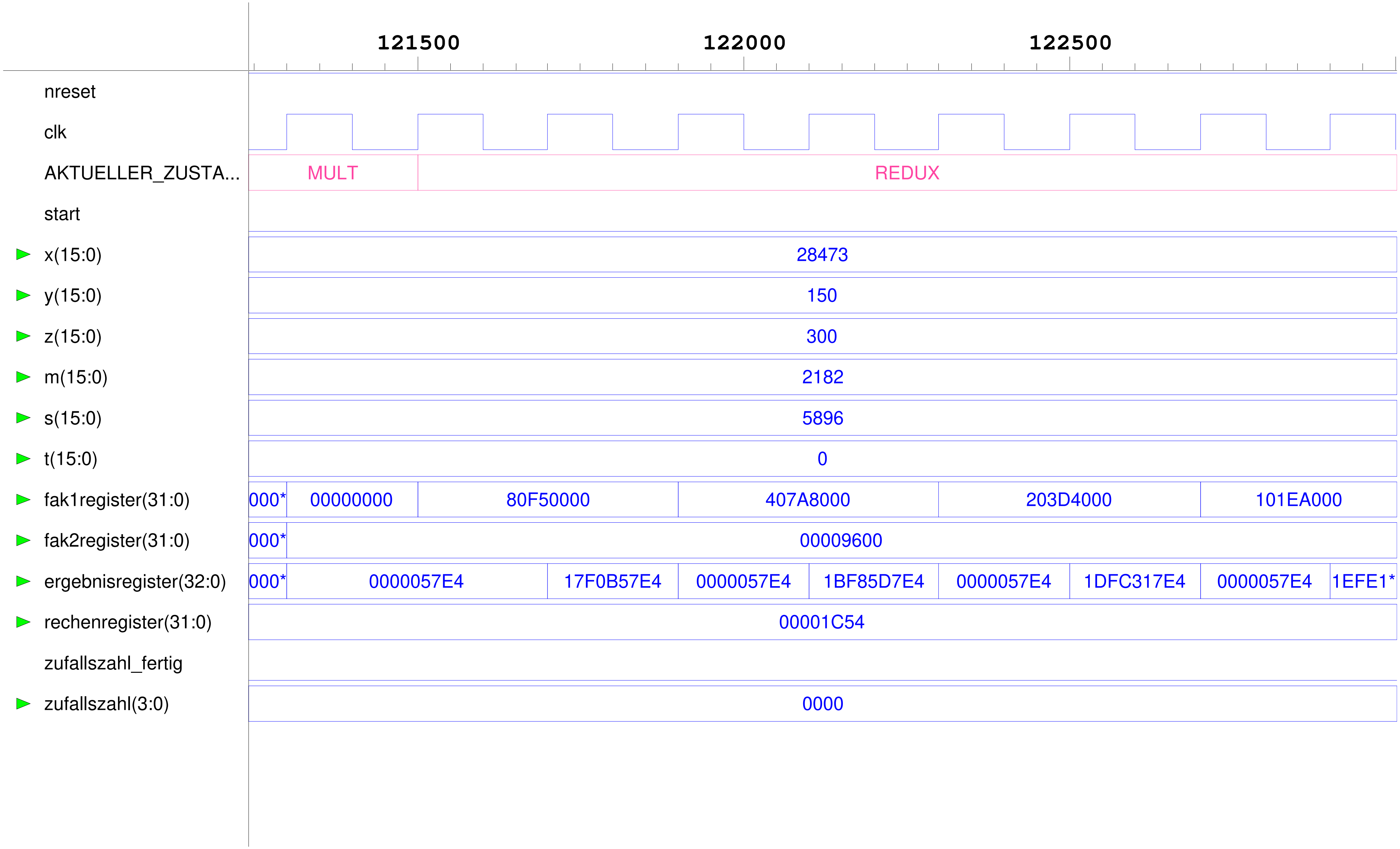
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


116500
117000
117500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
00*
00203D40
00101EA0
00080F50
000407A8
000203*
fak2register(31:0)
00005C20
ergebnisregister(32:0)
1F*
000002E10
1FFDFF0D0
000002E10
1FFF00F70
000002E10
1FFF81EC0
000002E10
1FFFC2668
000002*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

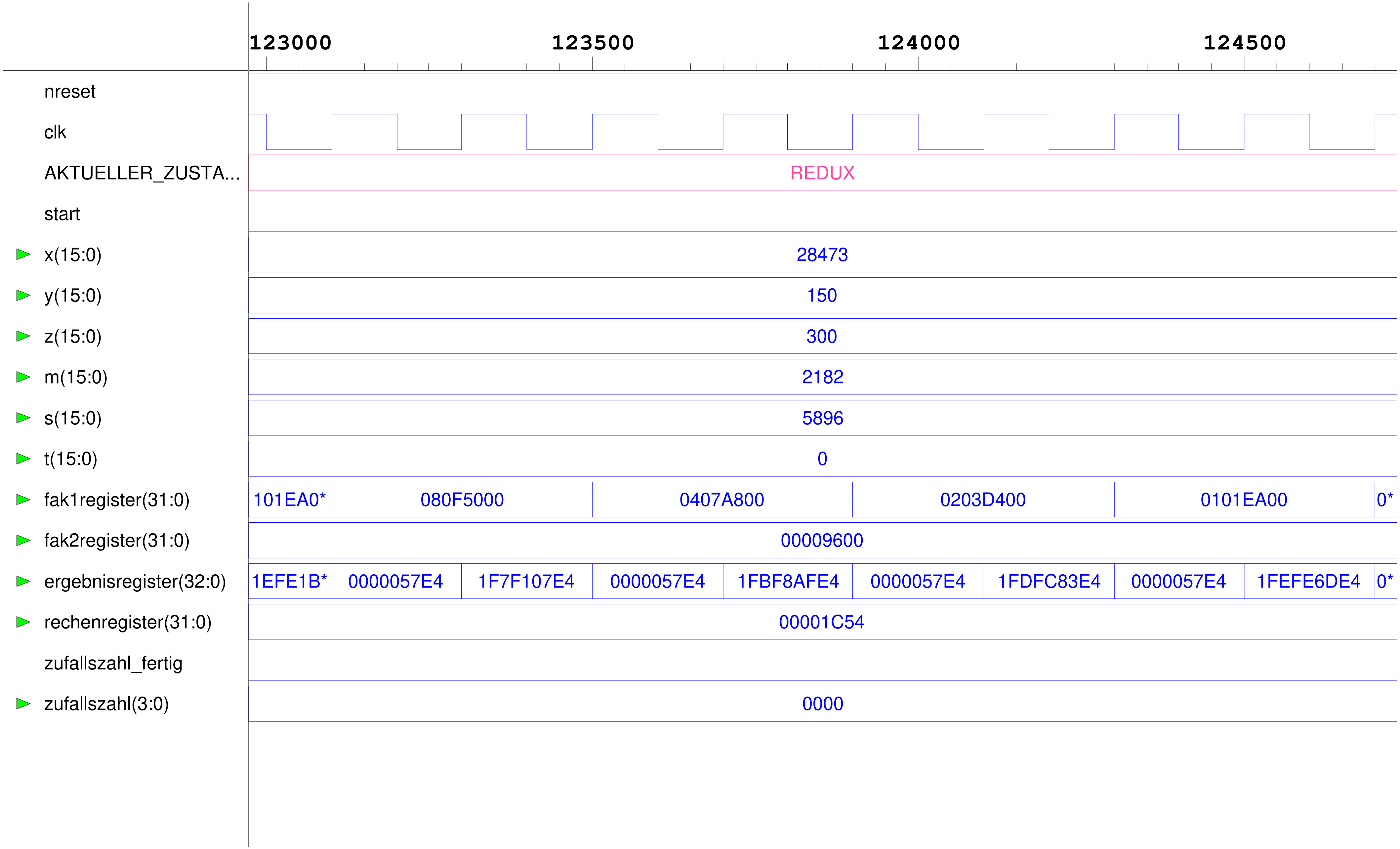

118000
118500
119000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
RECHNE_X3
RECHNE_X4
R*
start
x(15:0)
3
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
000203D4
000101EA
000080F5
0000407A
fak2register(31:0)
00005C20
ergebnisregister(32:0)
000002*
1FFFE2A3C
000002E10
1FFFF2C26
000002E10
1FFFFAD1B
000002E10
1FFFFEE44
0*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

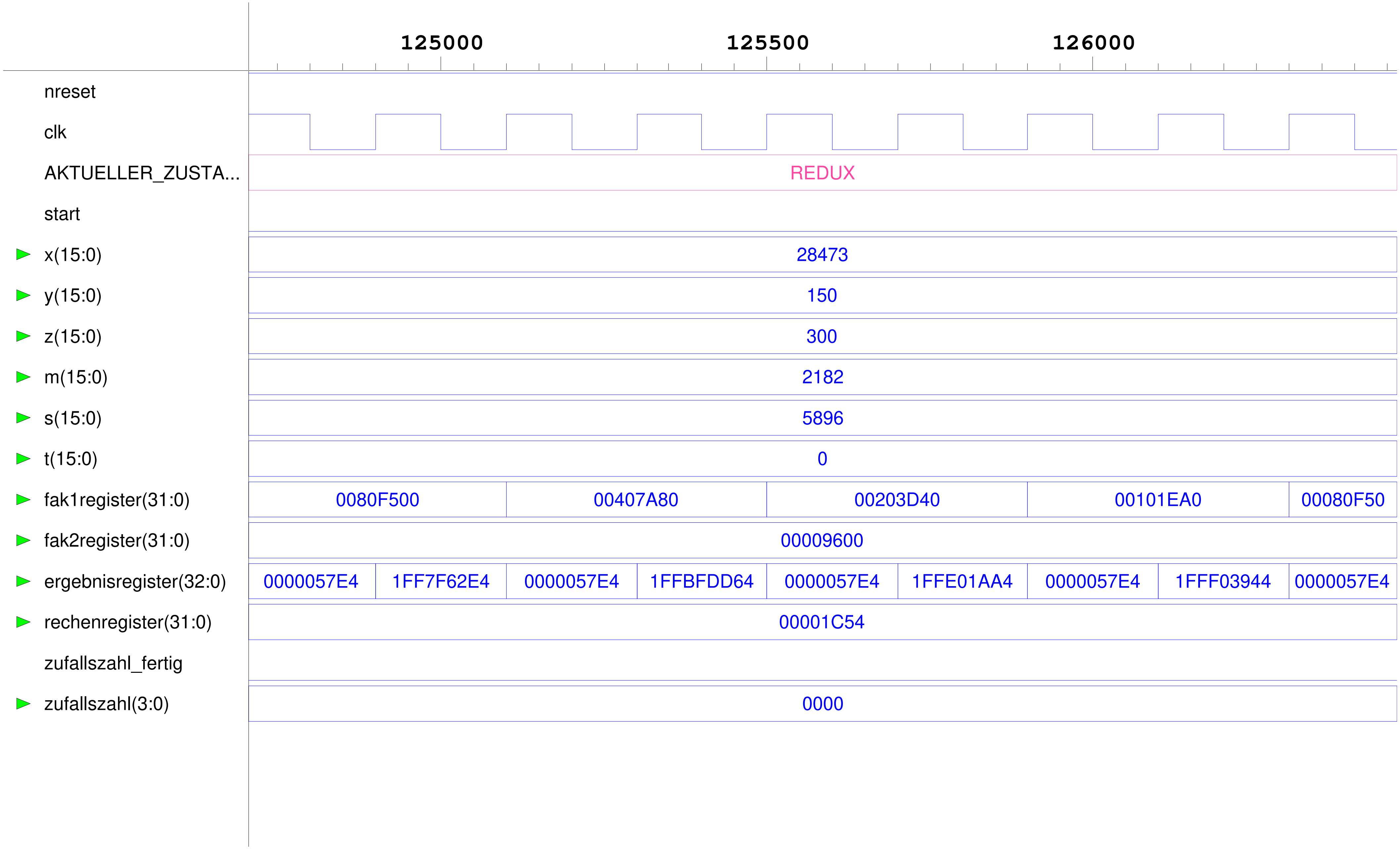


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



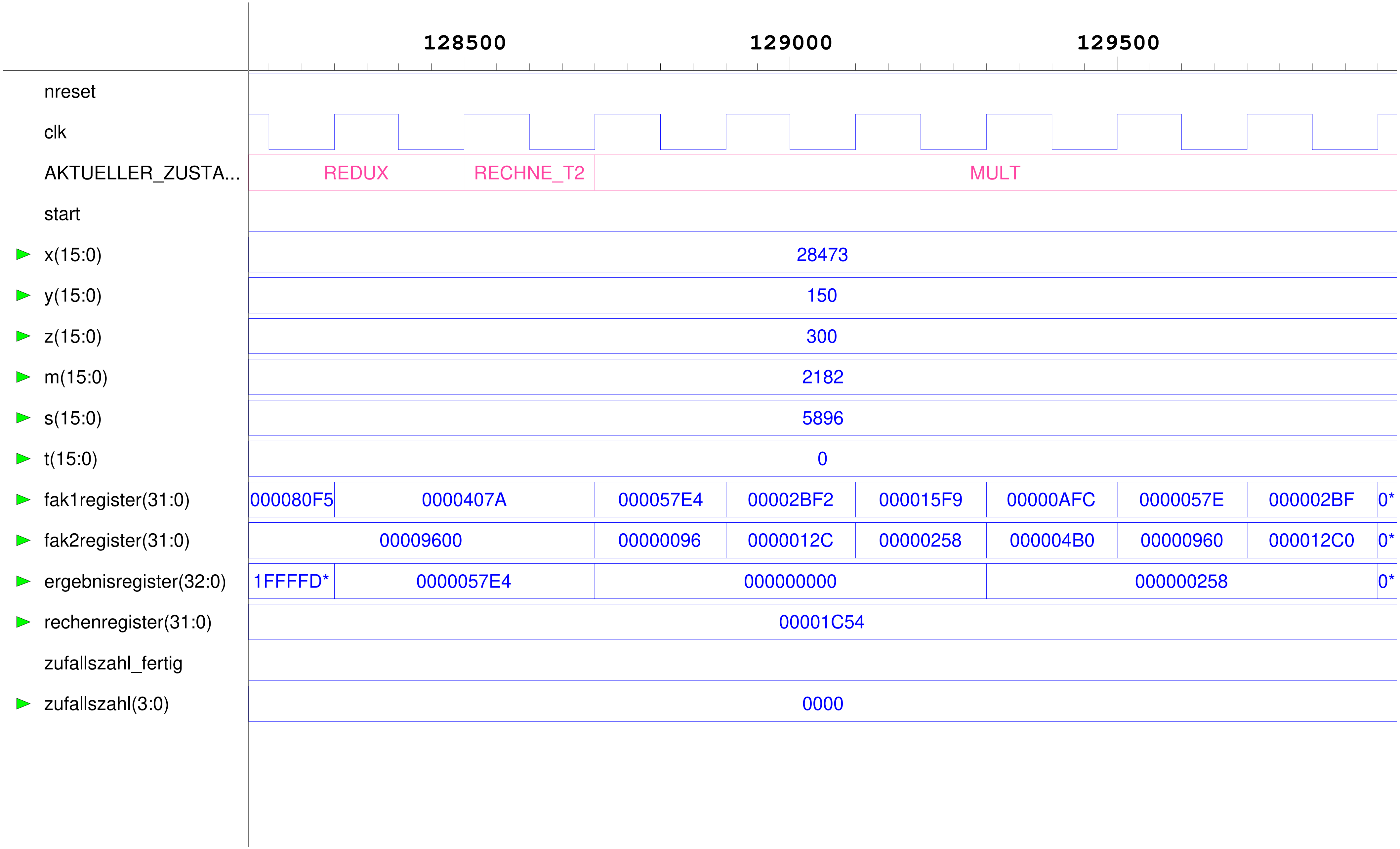
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


123000
123500
124000
124500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
101EA0*
080F5000
0407A800
0203D400
0101EA00
0*
fak2register(31:0)
00009600
ergebnisregister(32:0)
1EFE1B*
0000057E4
1F7F107E4
0000057E4
1FBF8AFE4
0000057E4
1FDFC83E4
0000057E4
1FEFE6DE4
0*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

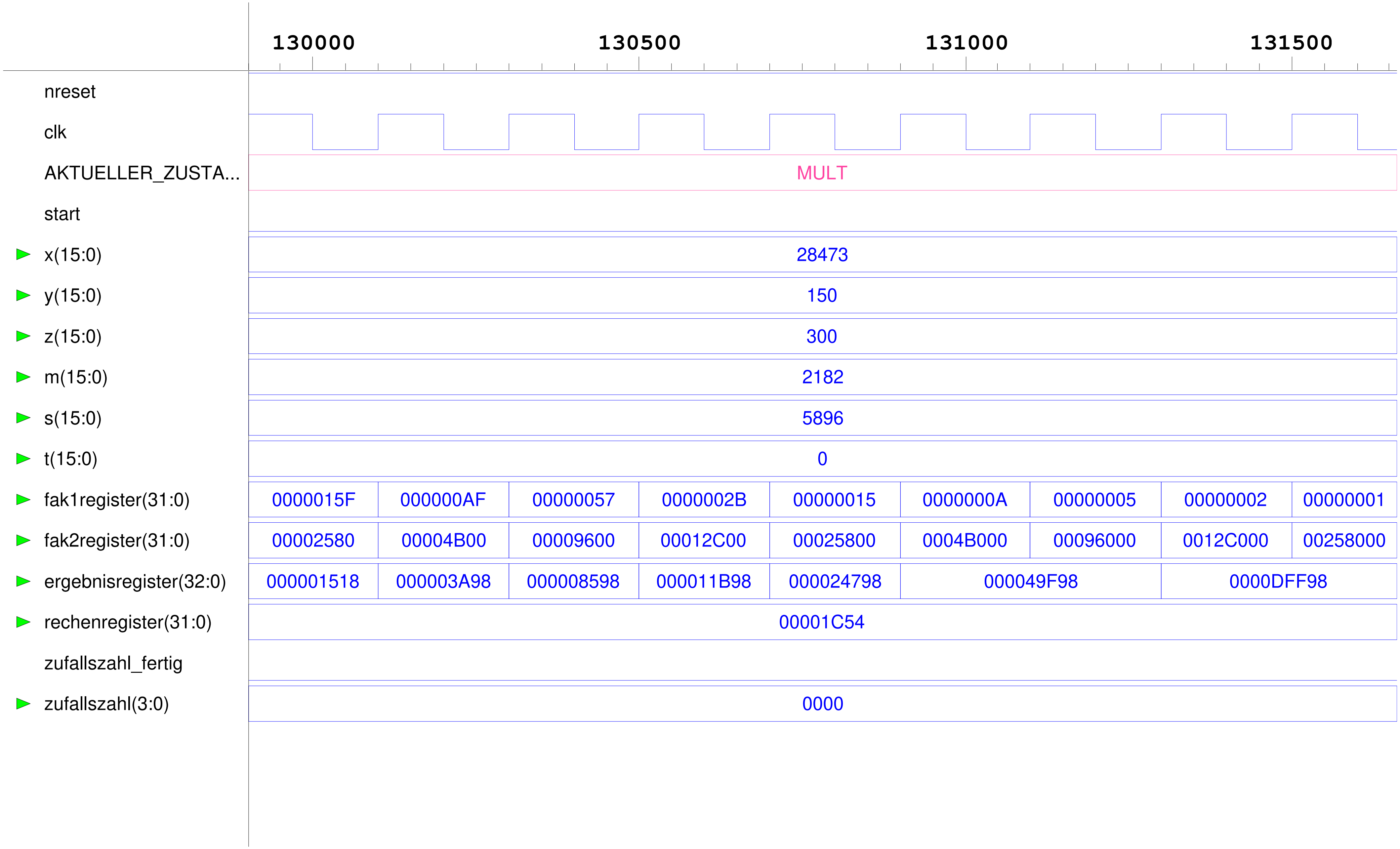


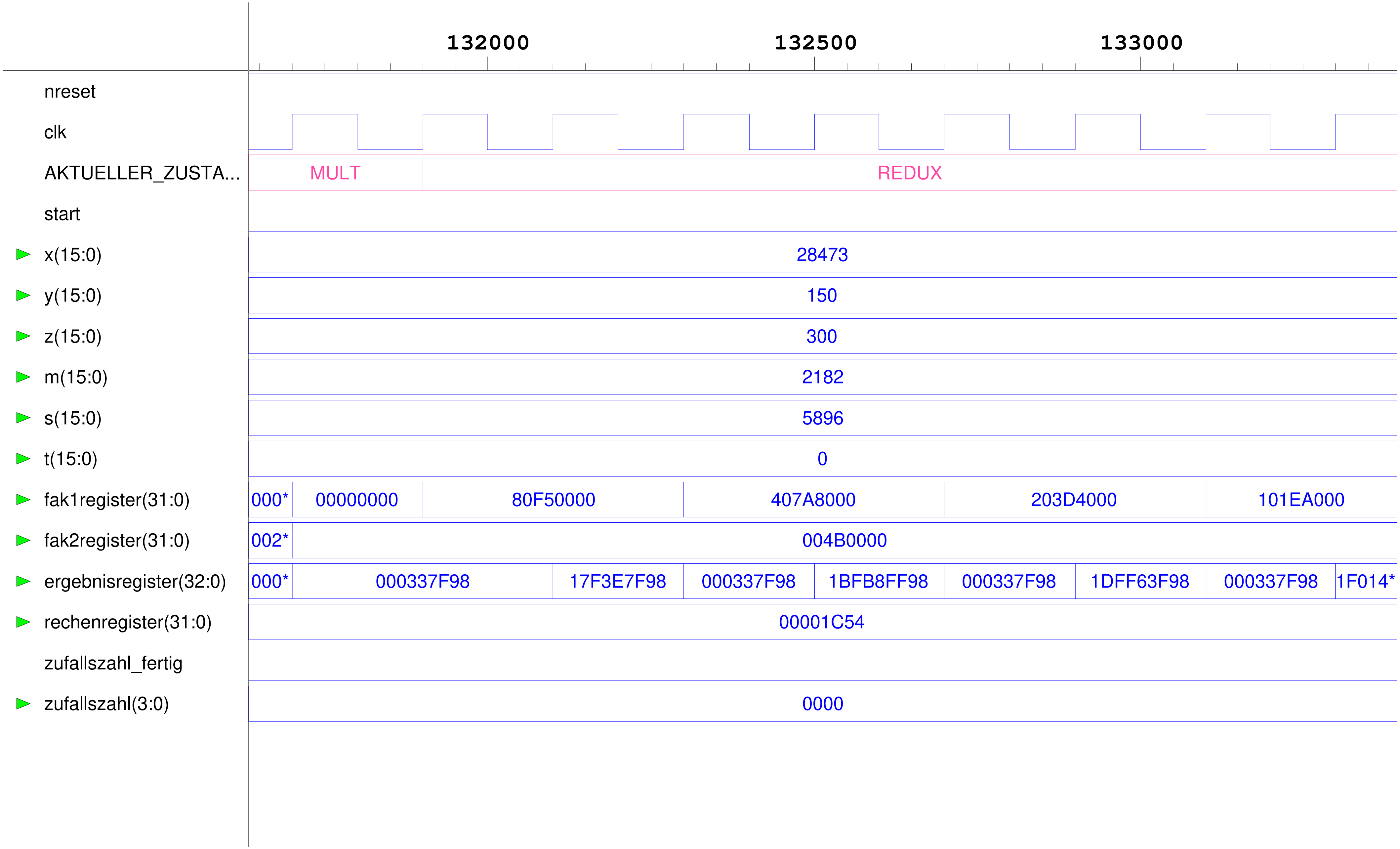
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

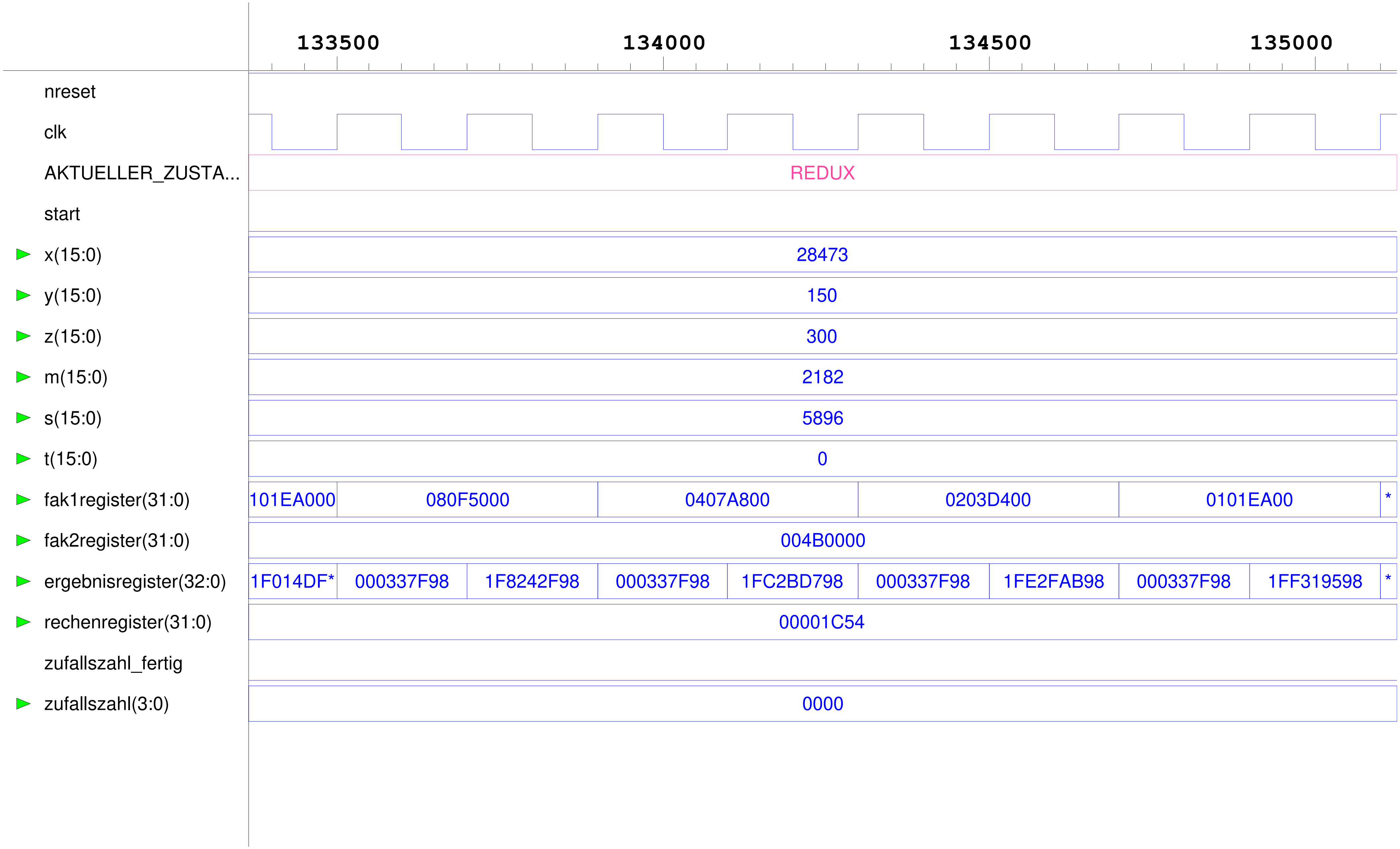

126500
127000
127500
128000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
00080F50
000407A8
000203D4
000101EA
000080F5
fak2register(31:0)
00009600
ergebnisregister(32:0)
000*
1FFF84894
0000057E4
1FFFC503C
0000057E4
1FFFE5410
0000057E4
1FFFF55FA
0000057E4
1FFFF*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

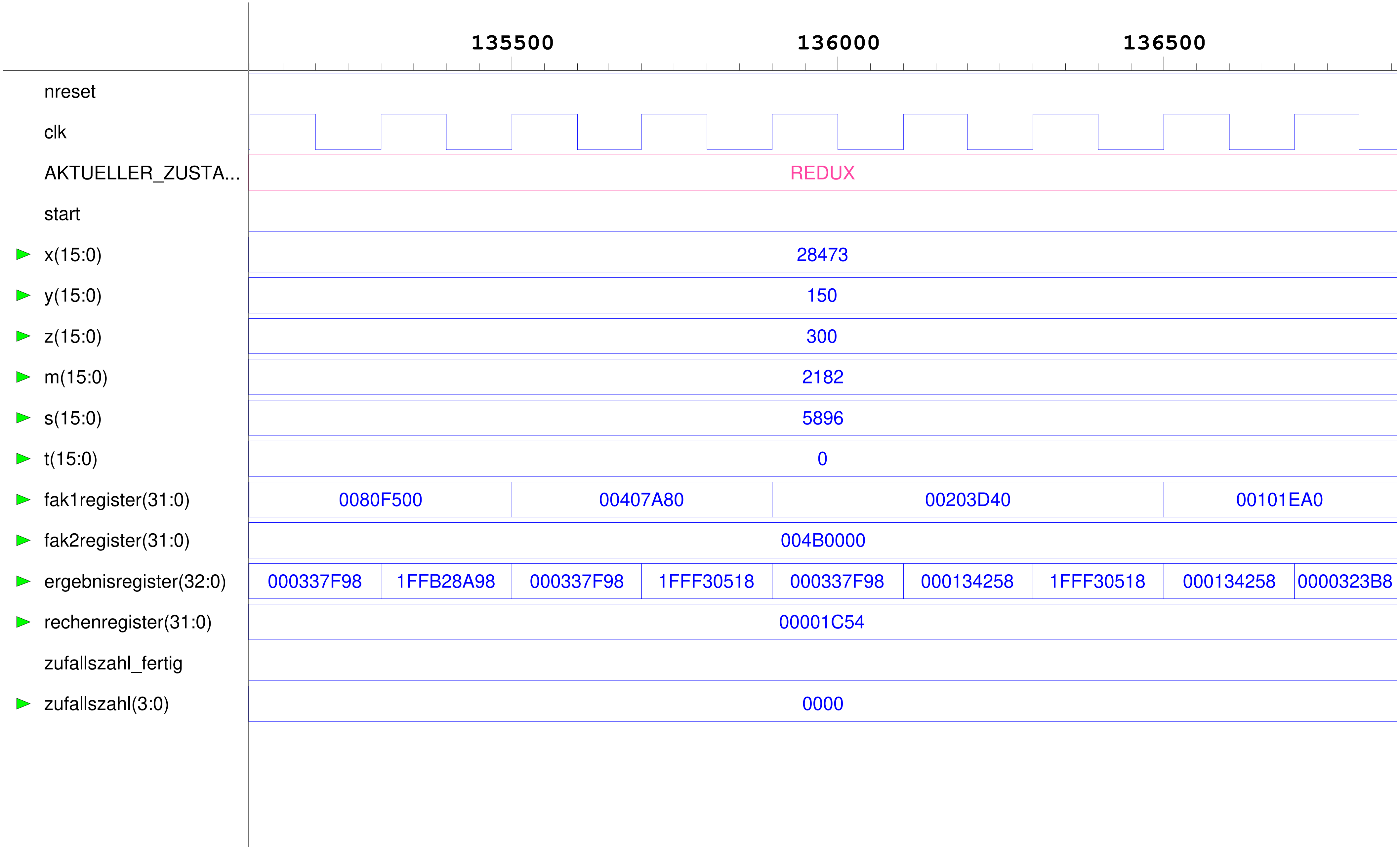


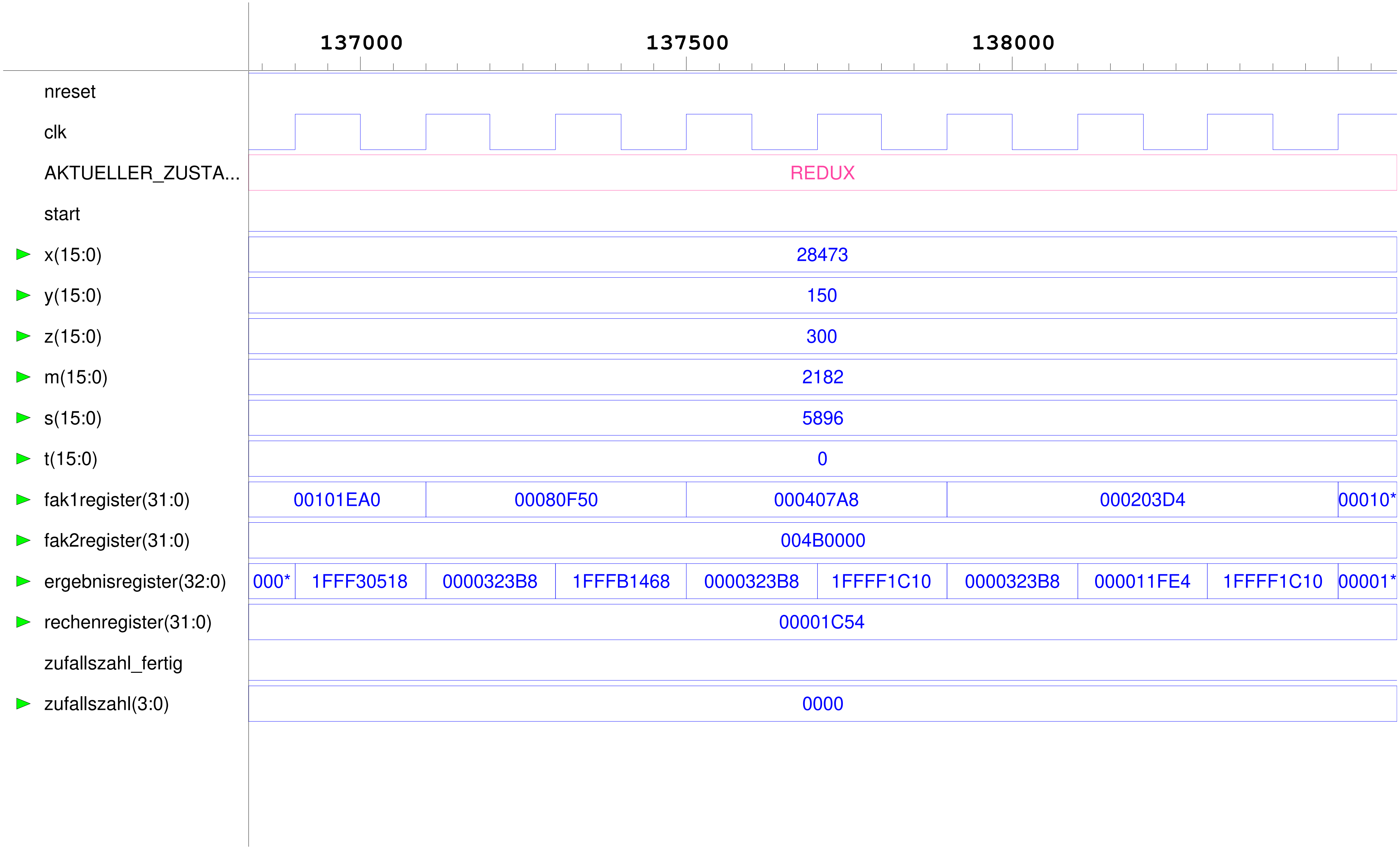
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


130000
130500
131000
131500
nreset
clk
AKTUELLER_ZUSTA...
MULT
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
0000015F 000000AF 00000057 0000002B 00000015 0000000A 00000005 00000002 00000001
fak2register(31:0)
00002580 00004B00 00009600 00012C00 00025800 0004B000 00096000 0012C000 00258000
ergebnisregister(32:0)
000001518 000003A98 000008598 000011B98 000024798 000049F98 0000DFF98
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

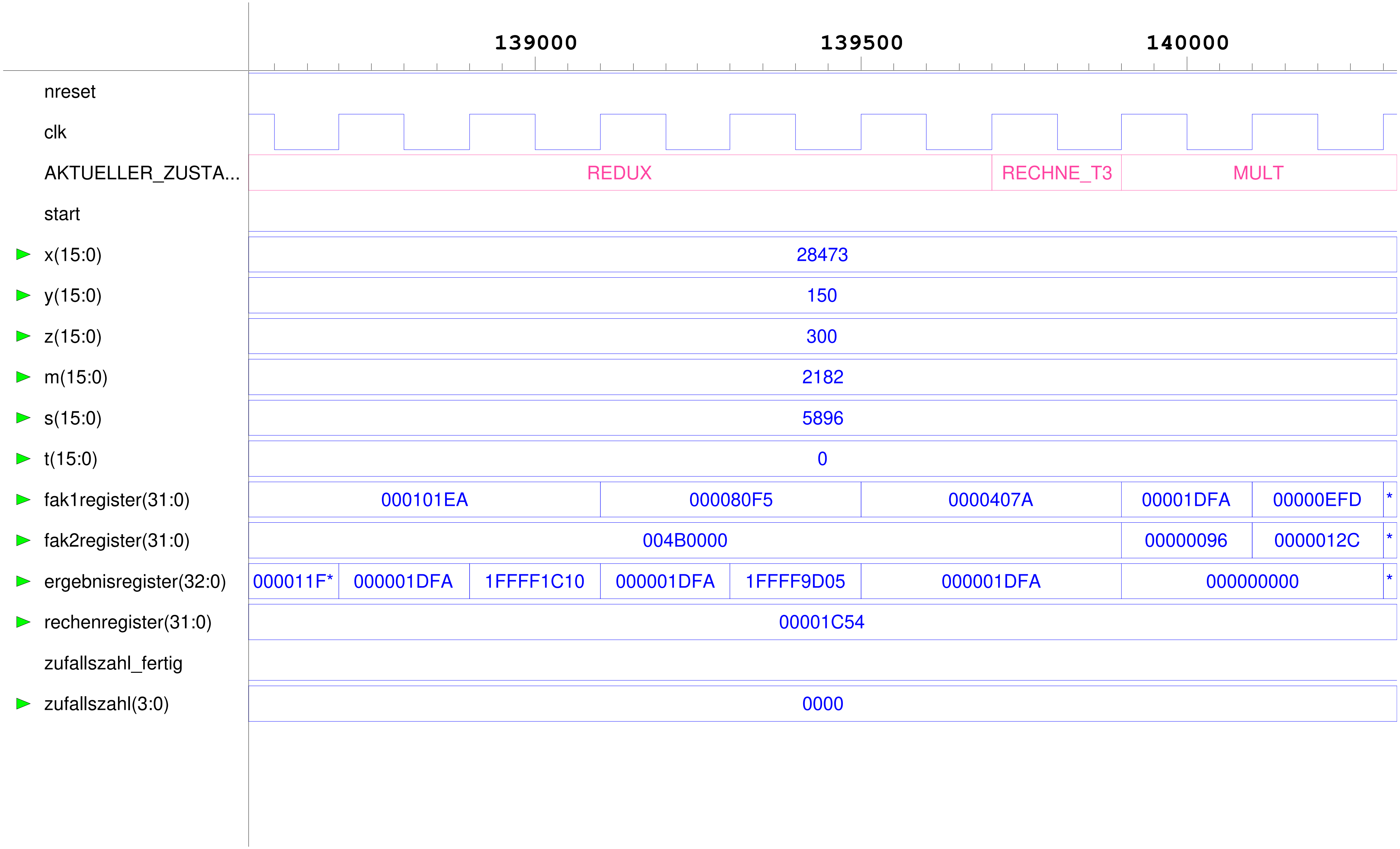

132000
132500
133000
nreset
clk
AKTUELLER_ZUSTA...
MULT
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
000*
00000000
80F50000
407A8000
203D4000
101EA000
fak2register(31:0)
002*
004B0000
ergebnisregister(32:0)
000*
000337F98
17F3E7F98
000337F98
1BFB8FF98
000337F98
1DFF63F98
000337F98
1F014*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000


133500
134000
134500
135000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
101EA000
080F5000
0407A800
0203D400
0101EA00
*
fak2register(31:0)
004B0000
ergebnisregister(32:0)
1F014DF*
000337F98
1F8242F98
000337F98
1FC2BD798
000337F98
1FE2FAB98
000337F98
1FF319598
*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

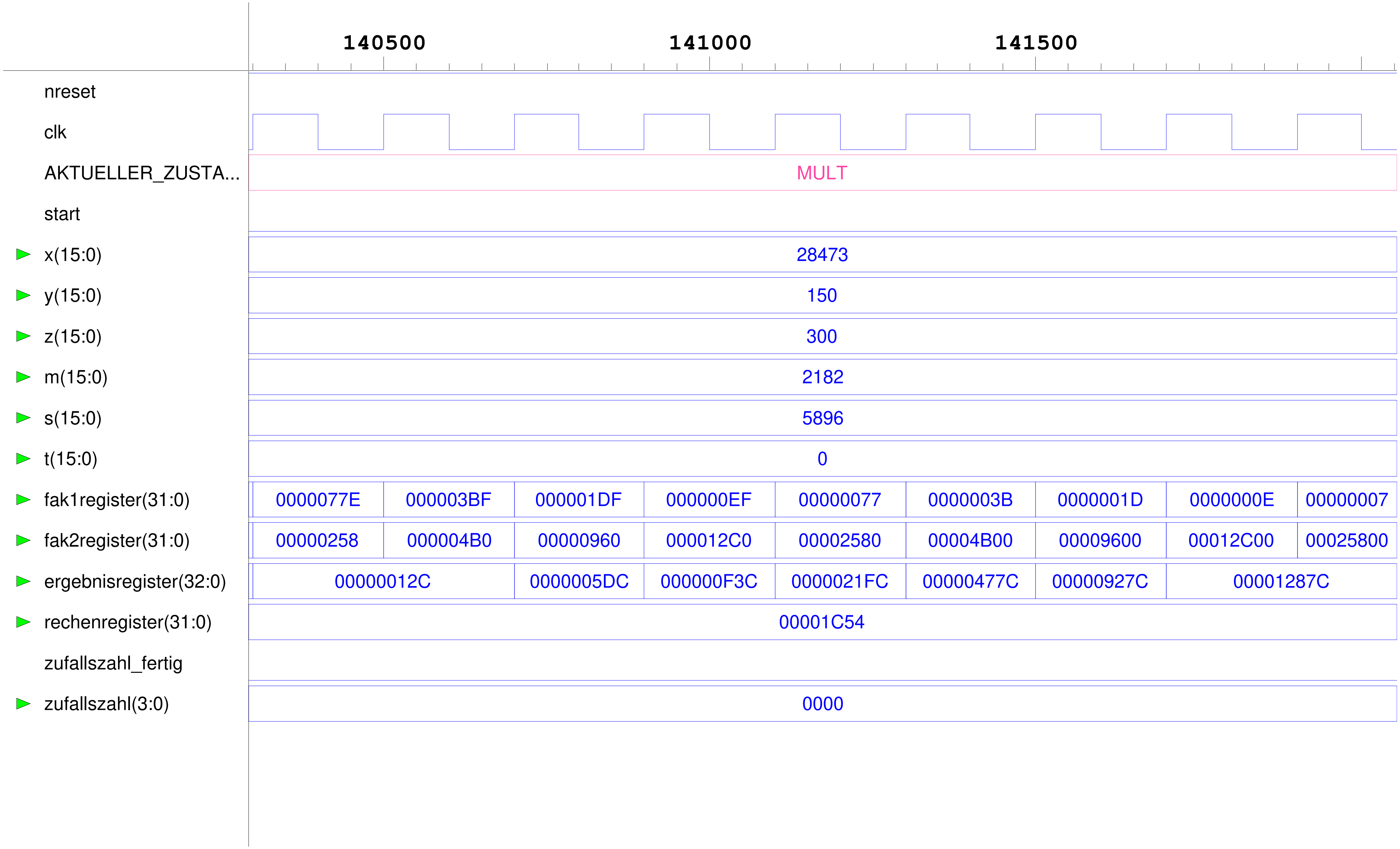

135500
136000
136500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
0080F500
00407A80
00203D40
00101EA0
fak2register(31:0)
004B0000
ergebnisregister(32:0)
000337F98
1FFB28A98
000337F98
1FFF30518
000337F98
000134258
1FFF30518
000134258
0000323B8
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000



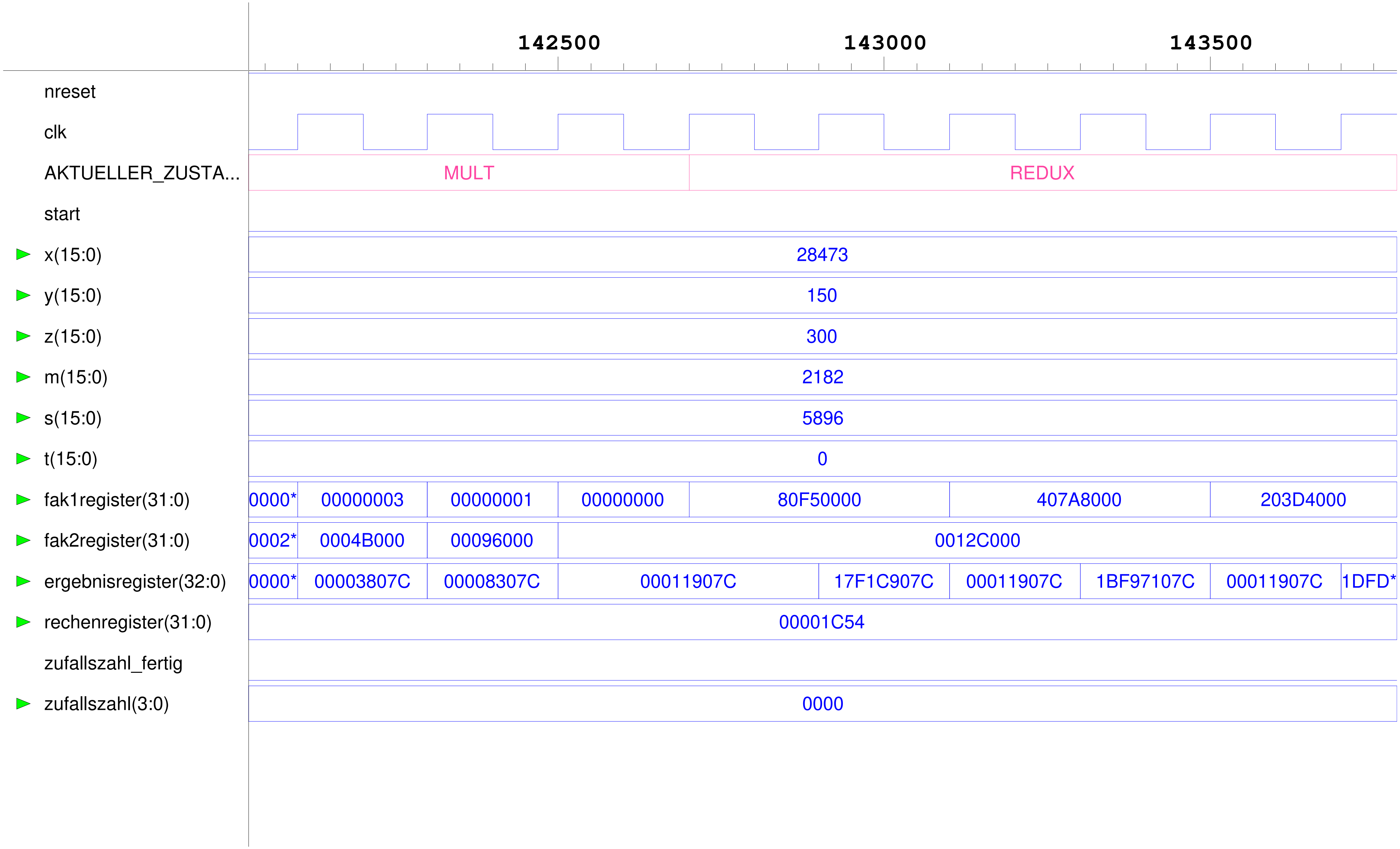
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

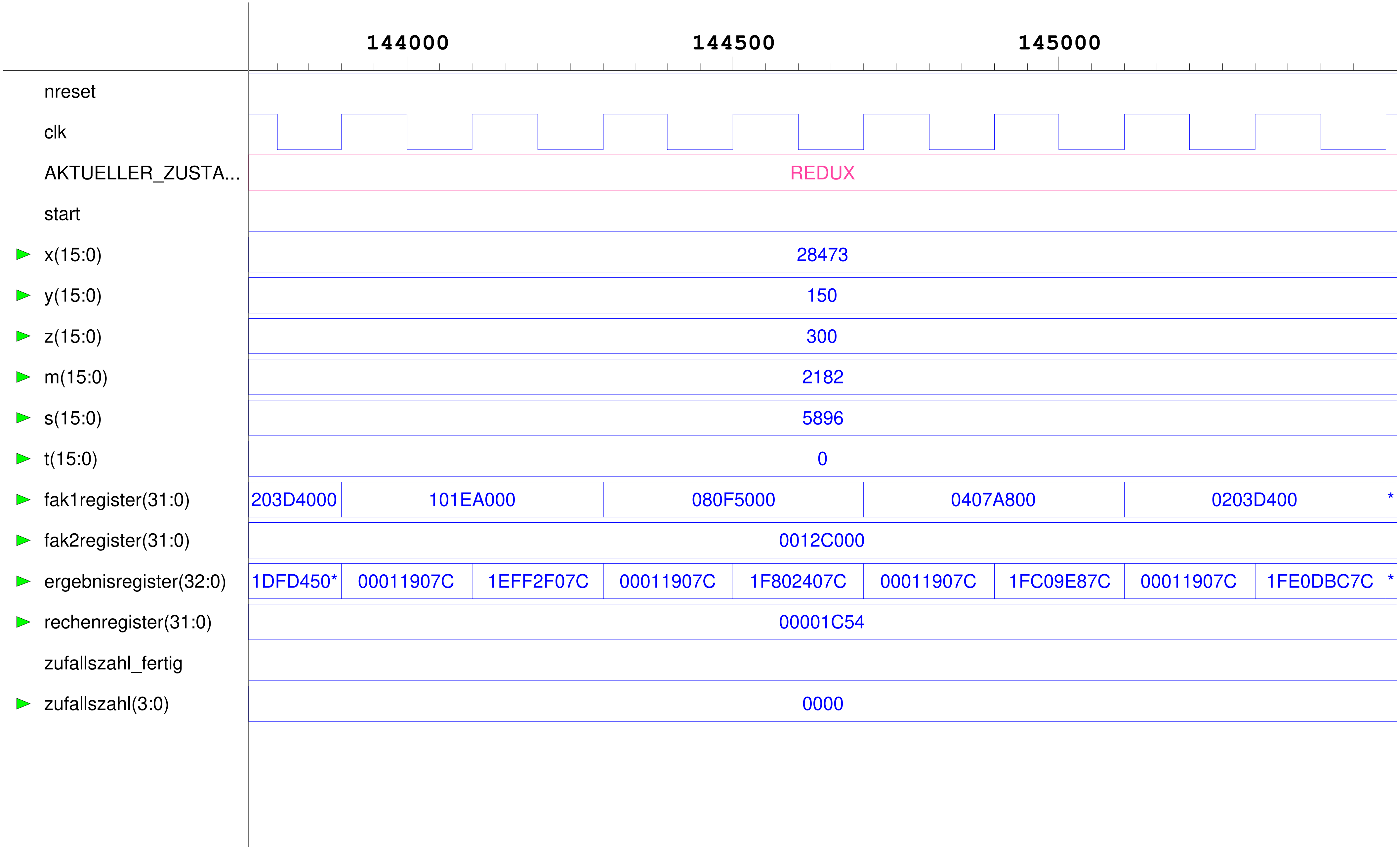


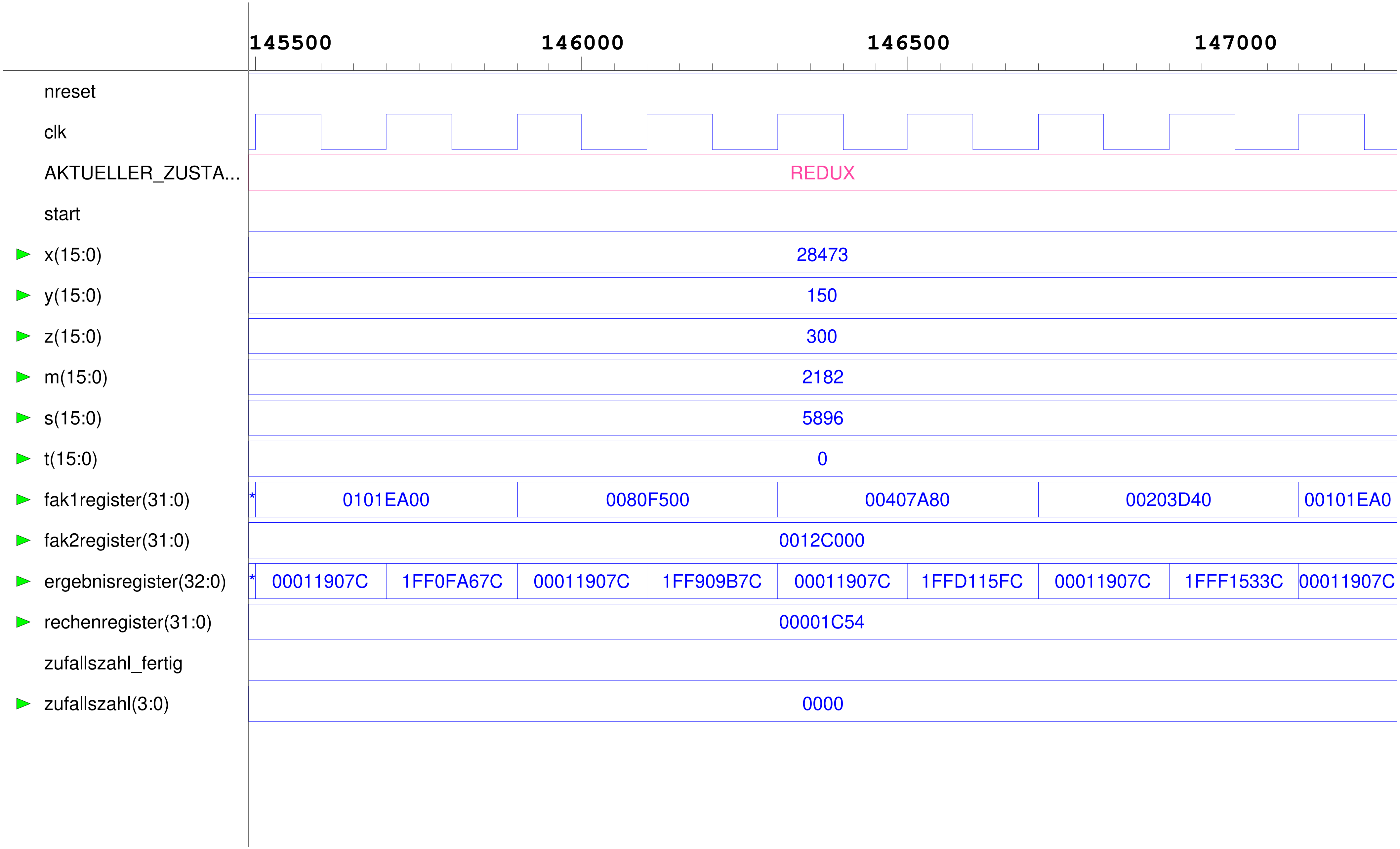
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow



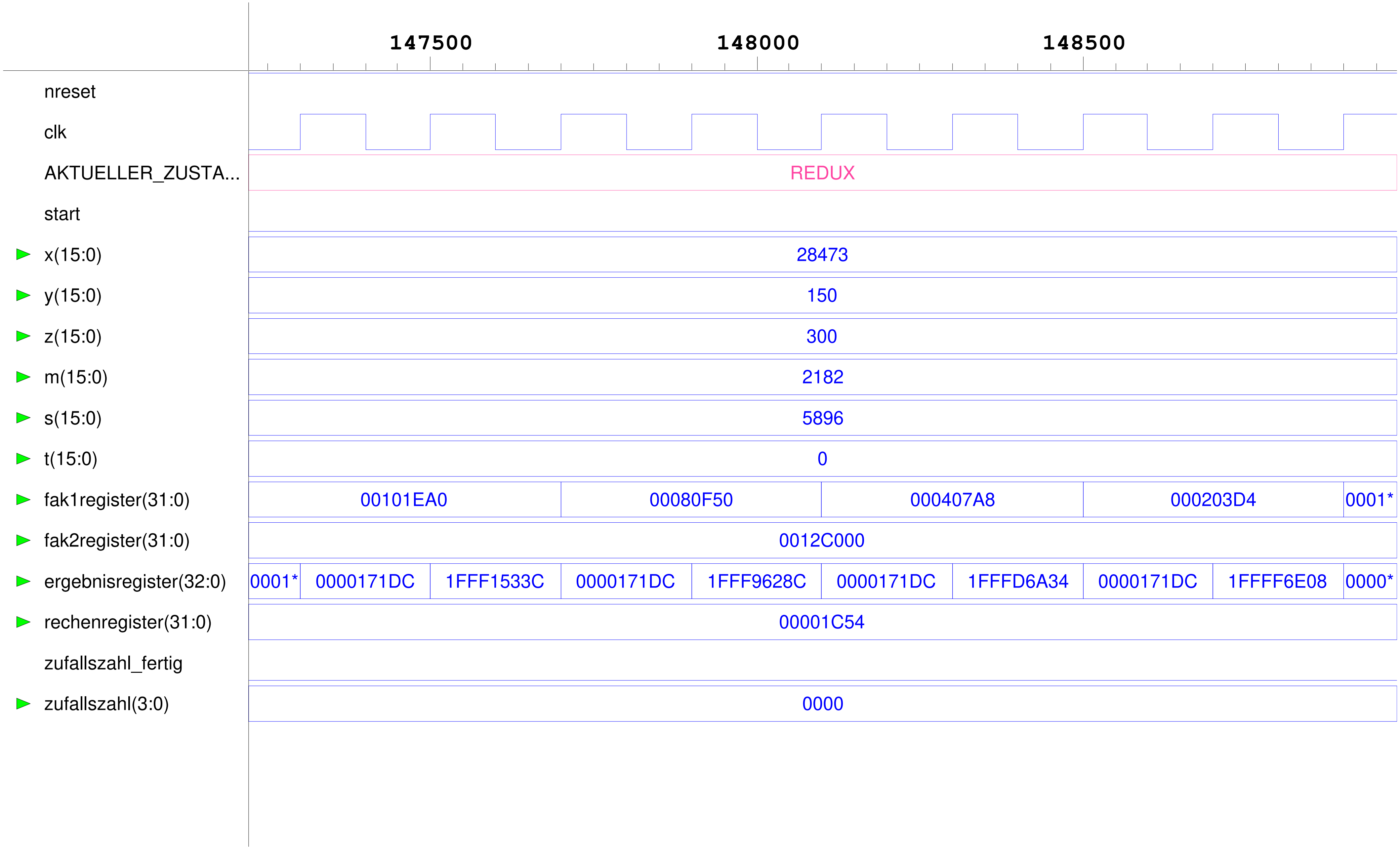
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


142500
143000
143500
nreset
clk
AKTUELLER_ZUSTA...
MULT
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
0000* 00000003 00000001 00000000 80F50000 407A8000 203D4000
fak2register(31:0)
0002* 0004B000 00096000 0012C000
ergebnisregister(32:0)
0000* 00003807C 00008307C 00011907C 17F1C907C 00011907C 1BF97107C 00011907C 1DFD*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

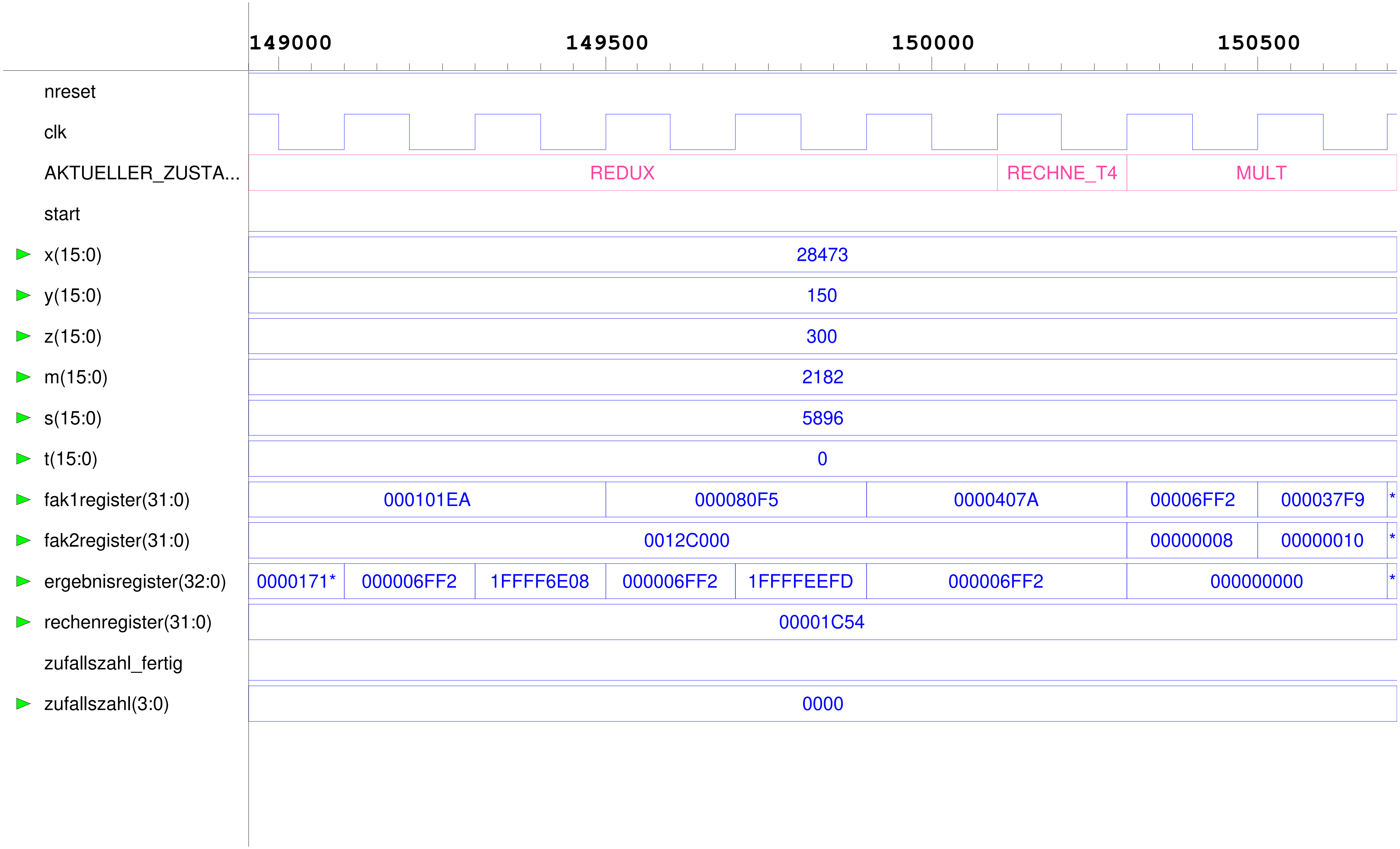

144000
144500
145000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
203D4000
101EA000
080F5000
0407A800
0203D400
*
fak2register(31:0)
0012C000
ergebnisregister(32:0)
1DFD450*
00011907C
1EFF2F07C
00011907C
1F802407C
00011907C
1FC09E87C
00011907C
1FE0DBC7C
*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

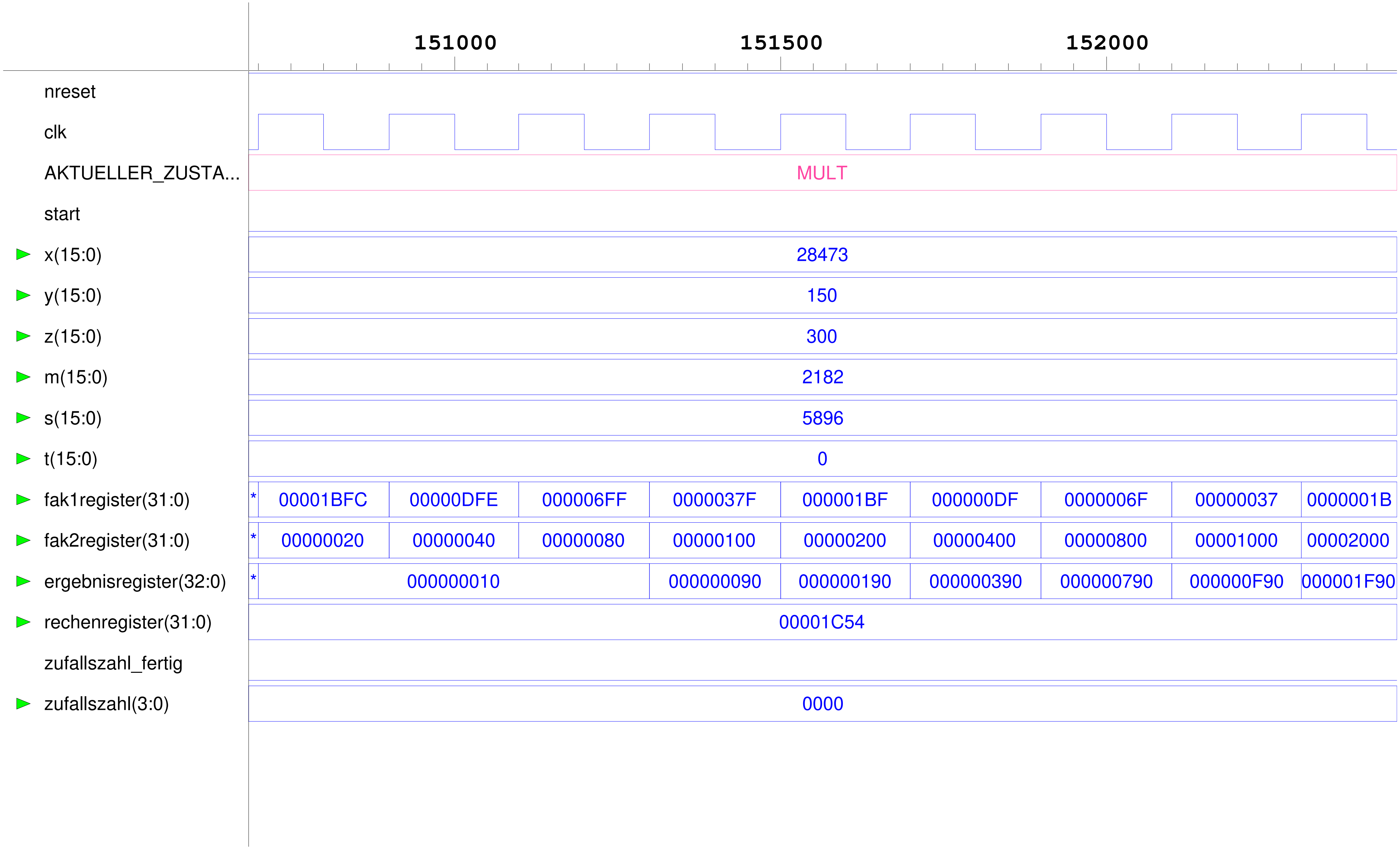


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

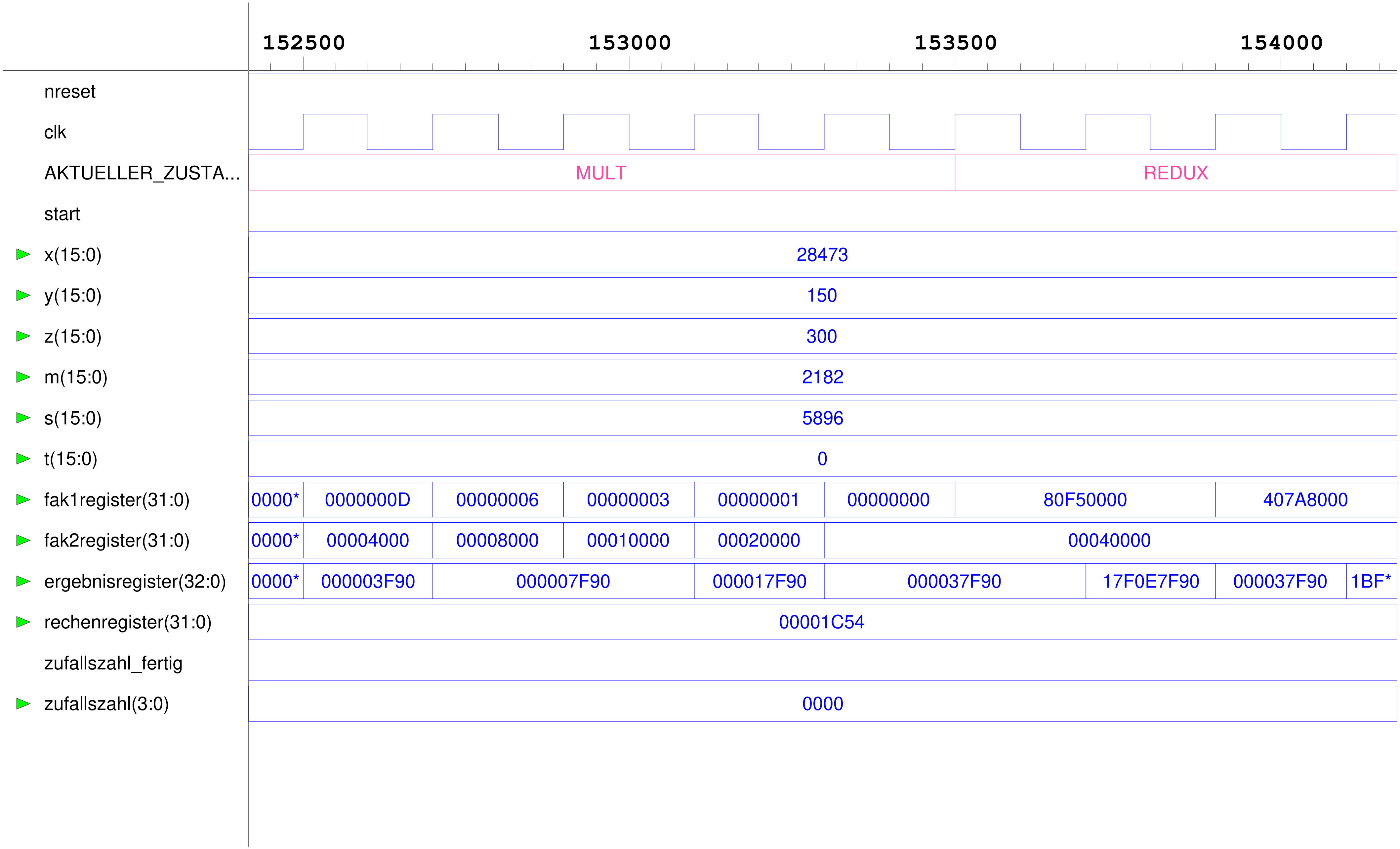


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

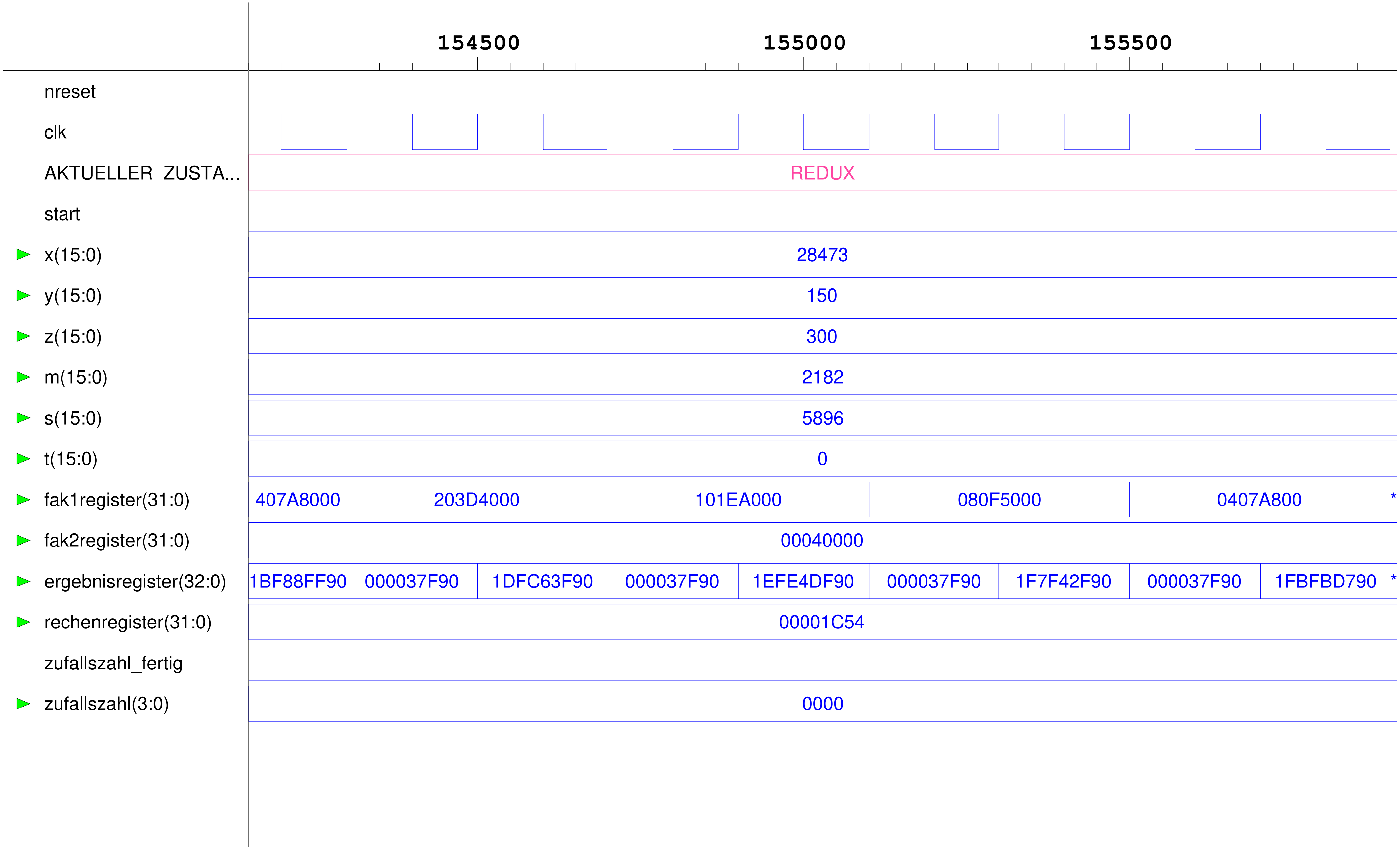

149000
149500
150000
150500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
RECHNE_T4
MULT
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
000101EA
000080F5
0000407A
00006FF2
000037F9
fak2register(31:0)
0012C000
00000008
00000010
ergebnisregister(32:0)
0000171*
000006FF2
1FFFF6E08
000006FF2
1FFFFEEFD
000006FF2
000000000
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000



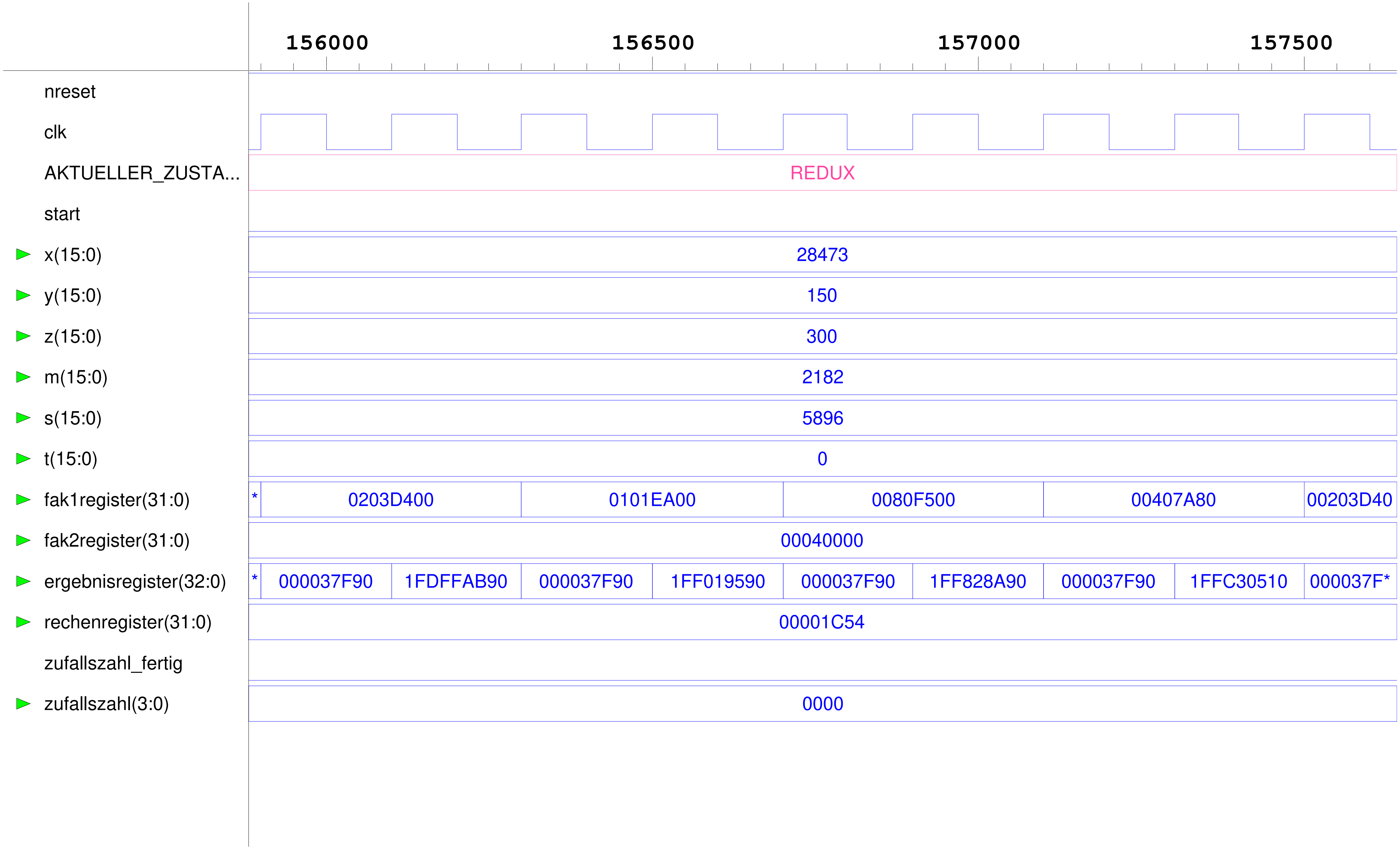
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

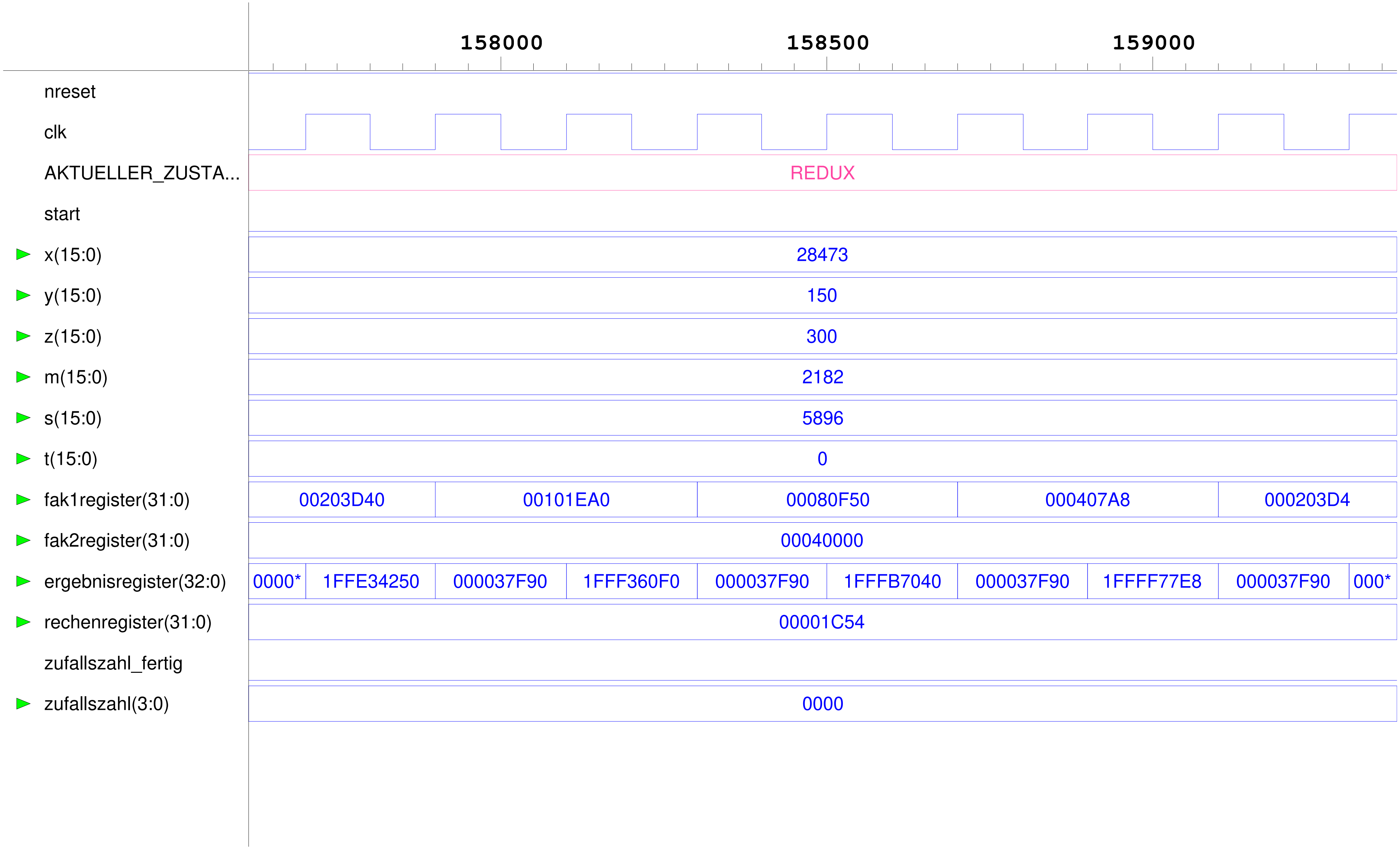


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

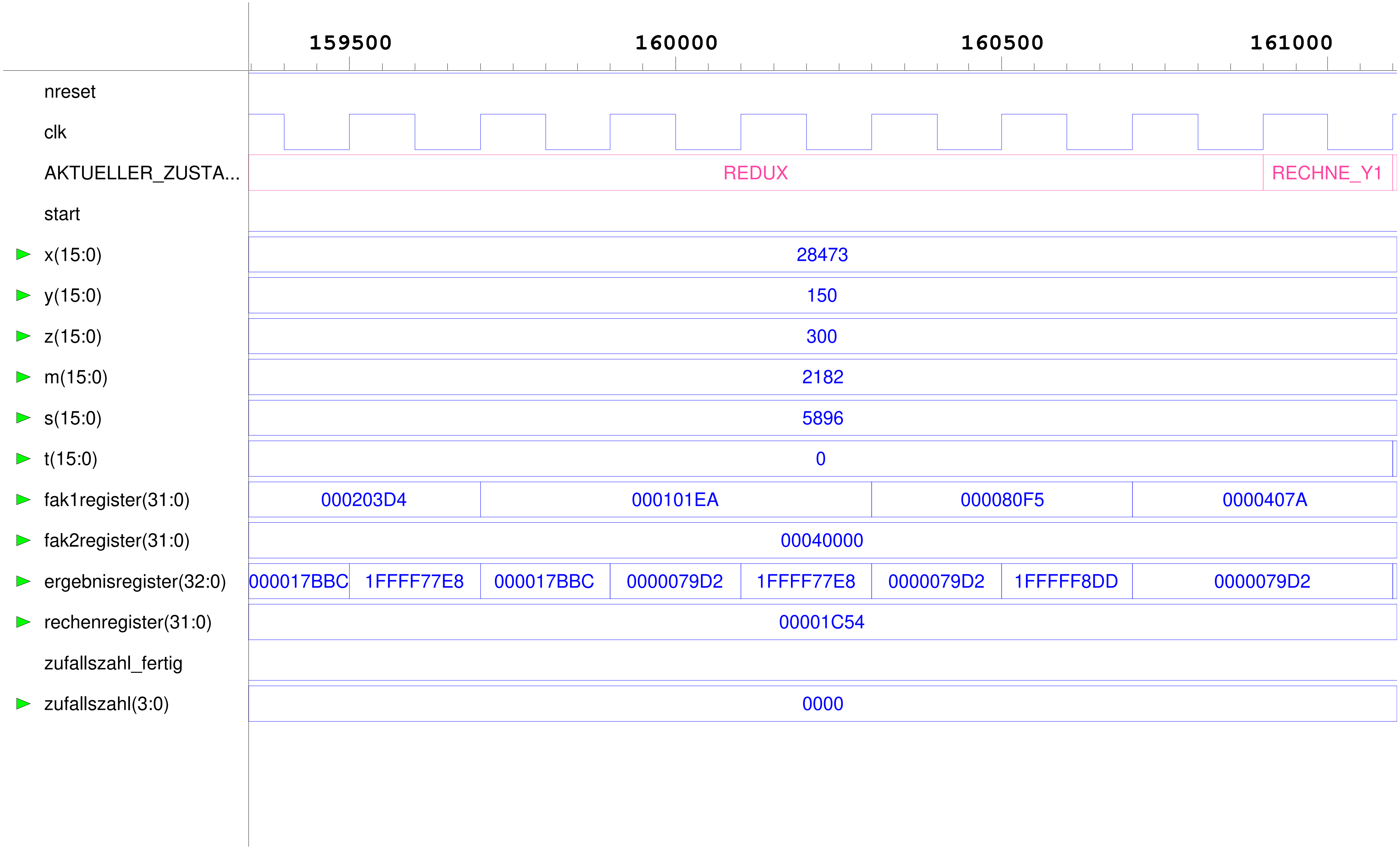


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

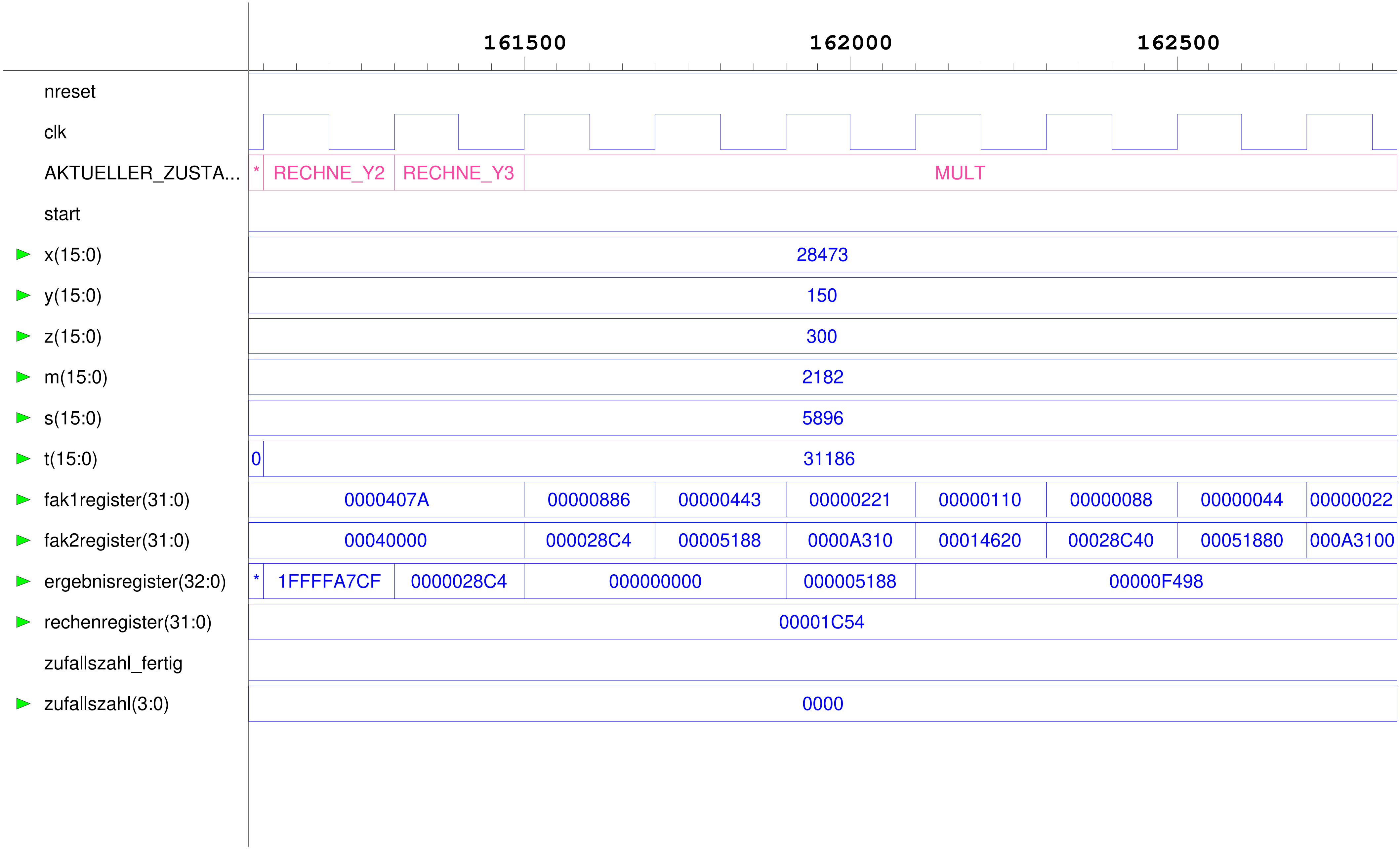

156000
156500
157000
157500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
0
fak1register(31:0)
*
0203D400
0101EA00
0080F500
00407A80
00203D40
fak2register(31:0)
00040000
ergebnisregister(32:0)
*
000037F90
1FDFFAB90
000037F90
1FF019590
000037F90
1FF828A90
000037F90
1FFC30510
000037F*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000

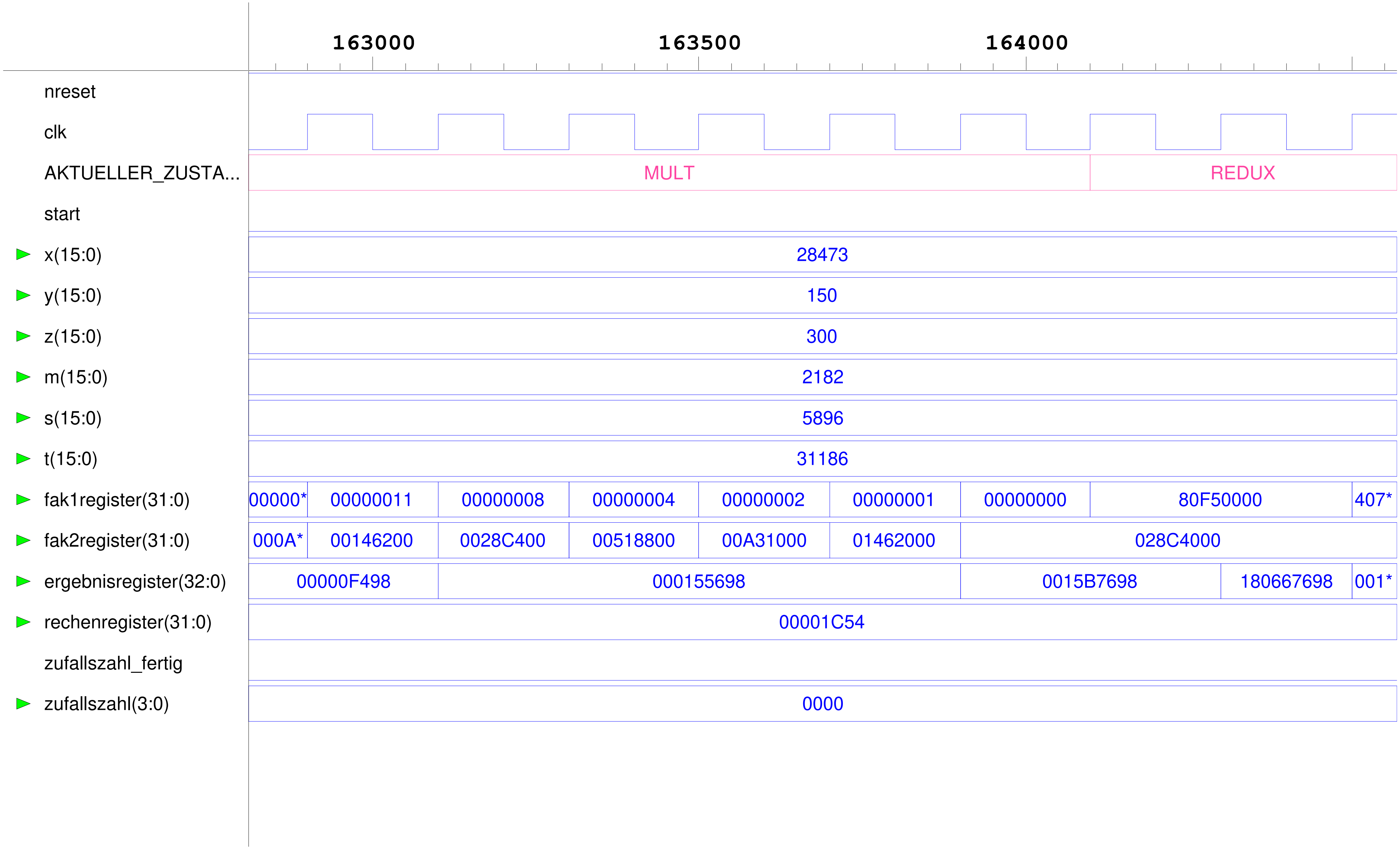


/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

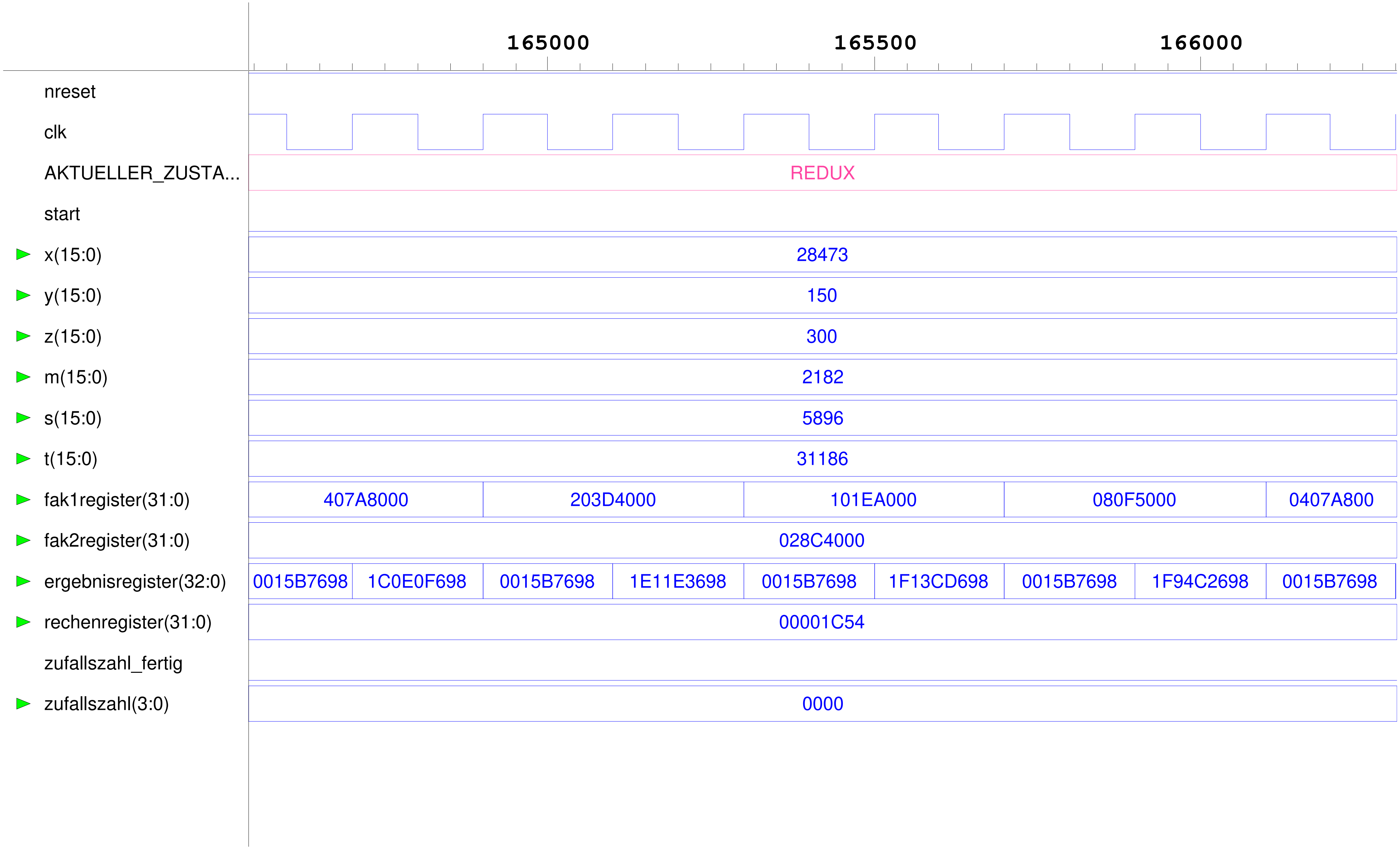


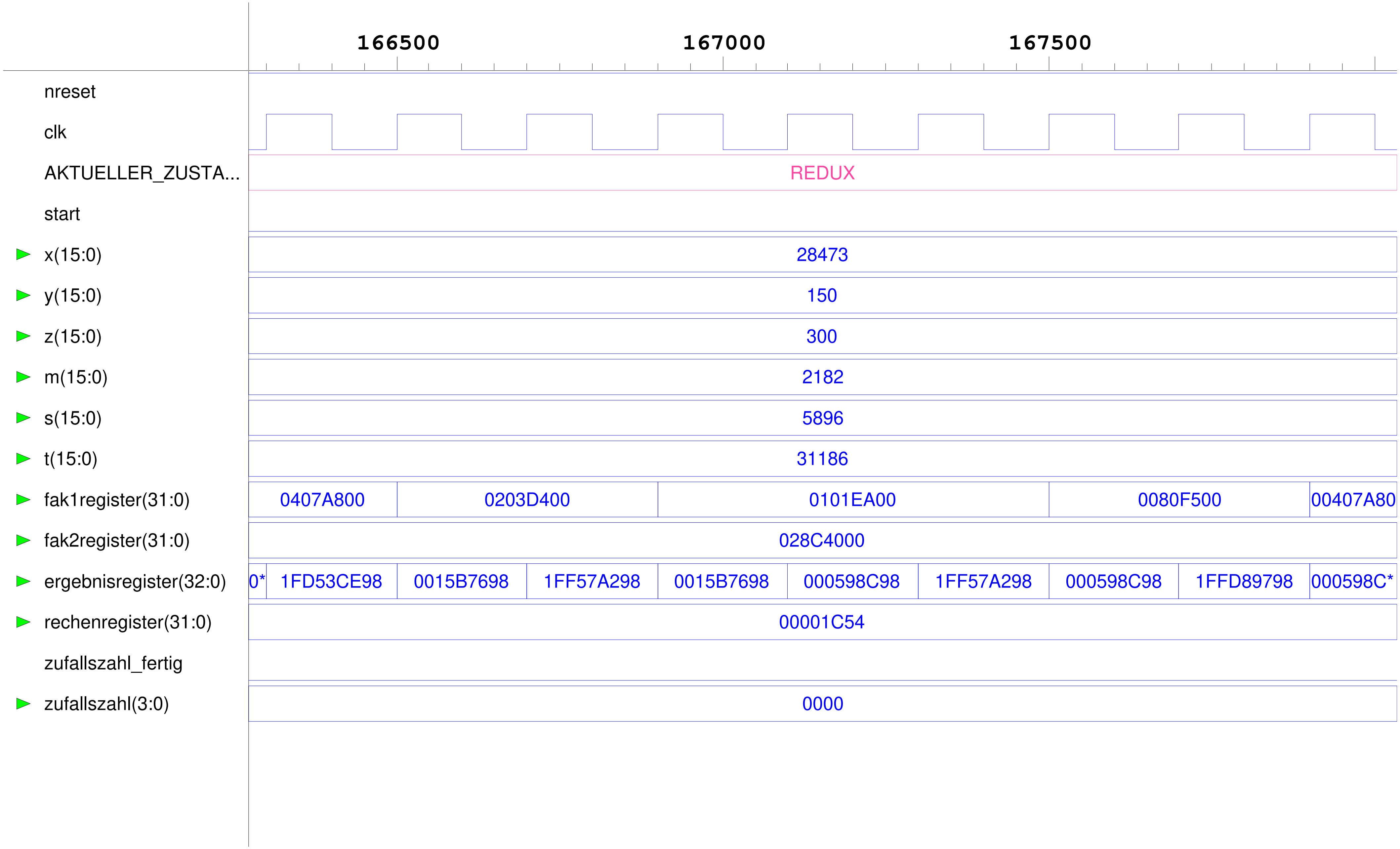
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow

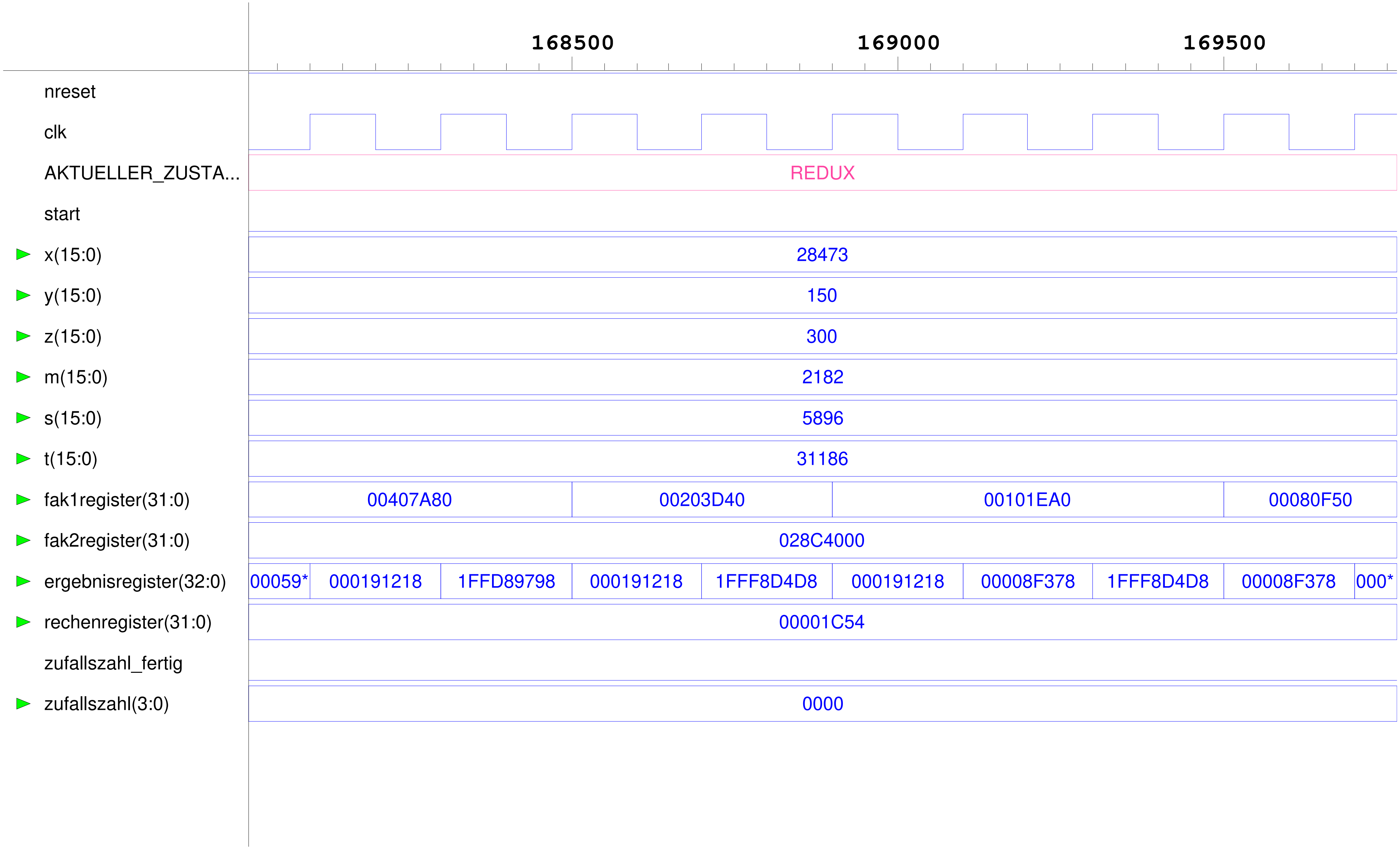

161500
162000
162500
nreset
clk
AKTUELLER_ZUSTA...
* RECHNE_Y2 RECHNE_Y3 MULT
start
x(15:0) 28473
y(15:0) 150
z(15:0) 300
m(15:0) 2182
s(15:0) 5896
t(15:0) 0 31186
fak1register(31:0) 0000407A 00000886 00000443 00000221 00000110 00000088 00000044 00000022
fak2register(31:0) 00040000 000028C4 00005188 0000A310 00014620 00028C40 00051880 000A3100
ergebnisregister(32:0) * 1FFFFA7CF 0000028C4 000000000 000005188 00000F498
rechenregister(31:0) 00001C54
zufallszahl_fertig
zufallszahl(3:0) 0000

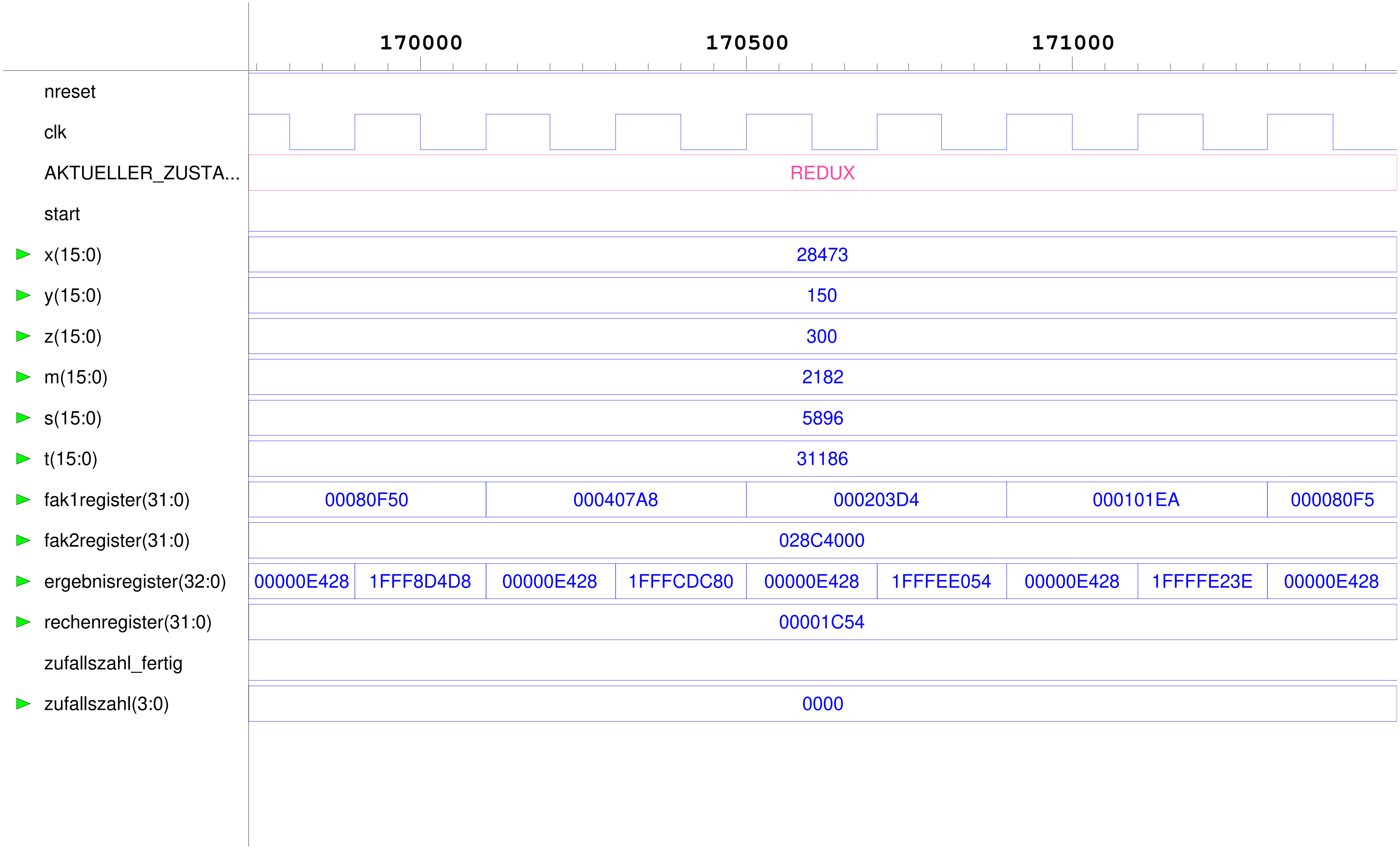


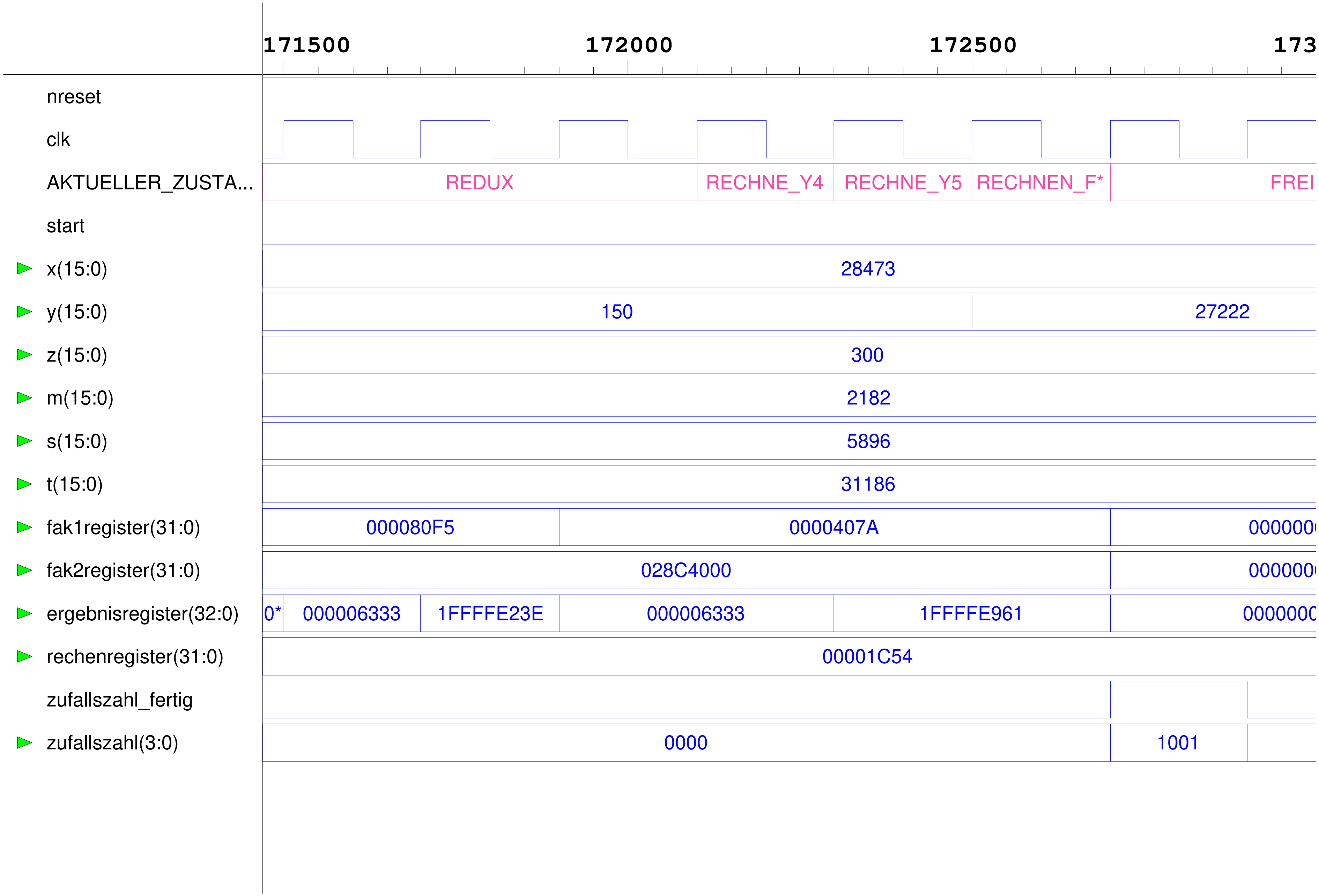
/home/tech_5/techpr52/sa_neu/vhdl/TB_EC.tech2.971.ow


165000
165500
166000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
31186
fak1register(31:0)
407A8000
203D4000
101EA000
080F5000
0407A800
fak2register(31:0)
028C4000
ergebnisregister(32:0)
0015B7698
1C0E0F698
0015B7698
1E11E3698
0015B7698
1F13CD698
0015B7698
1F94C2698
0015B7698
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000


166500
167000
167500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
31186
fak1register(31:0)
0407A800
0203D400
0101EA00
0080F500
00407A80
fak2register(31:0)
028C4000
ergebnisregister(32:0)
0*
1FD53CE98
0015B7698
1FF57A298
0015B7698
000598C98
1FF57A298
000598C98
1FFD89798
000598C*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000


168500
169000
169500
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
31186
fak1register(31:0)
00407A80
00203D40
00101EA0
00080F50
fak2register(31:0)
028C4000
ergebnisregister(32:0)
00059*
000191218
1FFD89798
000191218
1FFF8D4D8
000191218
00008F378
1FFF8D4D8
00008F378
000*
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000


170000
170500
171000
nreset
clk
AKTUELLER_ZUSTA...
REDUX
start
x(15:0)
28473
y(15:0)
150
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
31186
fak1register(31:0)
00080F50
000407A8
000203D4
000101EA
000080F5
fak2register(31:0)
028C4000
ergebnisregister(32:0)
00000E428
1FFF8D4D8
00000E428
1FFFCDC80
00000E428
1FFFEE054
00000E428
1FFFFE23E
00000E428
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000



171500
172000
172500
173
nreset
clk
AKTUELLER_ZUSTA...
REDUX
RECHNE_Y4
RECHNE_Y5
RECHNEN_F*
FREI
start
x(15:0)
28473
y(15:0)
150
27222
z(15:0)
300
m(15:0)
2182
s(15:0)
5896
t(15:0)
31186
fak1register(31:0)
000080F5
0000407A
fak2register(31:0)
028C4000
ergebnisregister(32:0)
0*
000006333
1FFFFE23E
000006333
1FFFFE961
rechenregister(31:0)
00001C54
zufallszahl_fertig
zufallszahl(3:0)
0000
1001