Inhaltsverzeichnis

1 Einleitung und Motivation 1

2 Neuronale Netzwerke 3

2.1 Biologisches Vorbild 3

2.1.1 Aufbau der Nervenzellen 4

2.1.2 Funktionsweise der Nervenzellen 5

2.2 Künstliche neuronale Netze 6

2.2.1 Netztopologien 7

2.2.2 Das Modell von McCulloch und Pitts 8

2.2.3 Perceptron Modell 9

2.2.4 Verallgemeinertes Modell 9

2.2.5 Geometrische Veranschaulichung 11

2.2.6 Lineare Trennbarkeit und XOR-Problem 13

2.2.7 Lernen in neuronalen Netzen 14

2.2.8 Ausführungsphase neuronaler Netzwerke 15

2.3 Backpropagation-Algorithmus 15

2.3.1 Netzmodell 15

2.3.2 Lernalgorithmus 17

2.3.3 Konvergenz 18

2.3.4 Varianten des BPG-Algorithmus 19

3 ALVINN 21

3.1 Überblick 21

3.2 Netzwerk-Architektur 22

3.3 Bildvorverarbeitung bei ALVINN 23

3.4 Ausgangsrepräsentation 24

4 Bildvorverarbeitung 27

4.1 Notwendigkeit und Einordnung 27

4.2 Auswahl des Reduktionsverfahrens 28
4.3 Darstellung des implementierten Algorithmus 28
4.4 Mosaik-FPGA zur Auflösungsreduktion 30
4.4.1 Übersicht und Eigenschaften 31
4.4.2 Signalbeschreibungen 32
4.4.3 Timing 33
4.4.4 FPGA-Architektur und Entwurfsprozess 34
4.4.5 Operationswerk 36
4.4.6 Steuerwerk 37

5 Spezifikation und Lösungsansätze 41
5.1 Problemstellung 41
5.2 Anforderungen an den NeNEB-Chip 42
5.2.1 Wahl des Netzwerktyps 43
5.2.2 Anforderungen an die Netzwerkarchitektur 43
5.2.3 Schnittstellen und Datenformate 44
5.2.4 Leistungsanforderungen 44
5.3 Realisierungsmöglichkeiten der Aktivierungsfunktion 45
5.4 Parameterbestimmung 47

6 NeNEB-Chip 51
6.1 Netzwerkarchitektur 51
6.2 Blockschaltbild und Signalfluß 52
6.3 Signalrepräsentation 53
6.3.1 Ein-/Ausgabesignale der Neuronen 53
6.3.2 Gewichte und Schwellwerte 54
6.3.3 Multiplikationsergebnisse 54
6.3.4 Additionsergebnisse 55
6.3.5 Erregung der Neuronen 56
6.3.6 Schwellwert der Ausgabefunktion 56
6.3.7 Offsets der Ausgabefunktion 56
6.4 Erregungsfunktion 57
6.4.1 Erregungsfunktion Teil 1 (Multiplikation) 57
6.4.2 Erregungsfunktion Teil 2 (Addition) 58
6.4.3 Speicherung der Gewichte der verborgenen Neuronen 61
6.4.4 Speicherung der Gewichte der Ausgabeneuronen 63
6.5 Aktivierungsfunktion 64

6.5.1 Parameterbestimmung 64
6.5.2 Realisierung der Aktivierungsfunktion 67
6.6 Serialisierung der Ausgaben der verborgenen Neuronen 69
6.7 Schnittstellen und Signalbeschreibungen 70
6.7.1 Systemschnittstelle und interne Takterzeugung 71
6.7.2 Synchronisation externer Signale 72
6.7.3 Hostrechnerschnittstelle 73
6.7.4 Speicherschnittstelle 76
6.7.5 Bilddatenschnittstelle 78
6.8 Steuerwerk 79
6.8.1 Synchronisation der einzelnen Steuerwerksstufen 80
6.8.2 Hauptsteuerwerk und Protokollautomat 81
6.8.3 Stufe 1 (*hmul_stw*) 82
6.8.4 Stufe 2 (*hadd_stw*) 83
6.8.5 Stufe 3 (*fifomult_stw*) 83
6.8.6 Stufe 4 (*oadd_stw*) 84
6.8.7 Stufe 5 (*out_stw*) 84

7 VHDL-Realisierung, Simulation und Synthese 85
7.1 VHDL-Realisierung eines digitalen Systems 85
7.2 Simulationsergebnisse 89
7.3 Syntheseergebnisse 91

8 Ergebnisse, Ausblick und Erweiterungsansätze 93

9 Zusammenfassung 95

Anhang A: Mathematische Herleitungen 97
A.1 Ableitung der Sigmoidfunktion 97
A.2 Optimale Geradenannäherung der Sigmoidfunktion 97
A.3 Taylorreihe 102

Anhang B: VHDL-Modelle des NeNEB-Chips 105
B.1 Design-Hierarchie 105
B.2 Alphabetische Übersicht über die einzelnen VHDL-Modelle 109
B.3 Zustandsgraphen der Steuerwerksautomaten 111
B.3.1 Protokollautomat 111

B.3.2 Hauptsteuerwerk 112
B.3.3 Stufe 1 113
B.3.4 Stufe 2 114
B.3.5 Stufe 3 115
B.3.6 Stufe 4 116
B.3.7 Stufe 5 117

Anhang C: AHDL-Modelle des Mosaik-FPGA 119
C.1 Design-Hierarchie 119
C.2 Übersicht über die einzelnen AHDL-Modelle 120
C.3 Zustandsgraphen der Steuerwerksautomaten 121
C.3.1 Stufe 1 121
C.3.2 Stufe 2 122
C.3.3 Stufe 3 123
C.3.4 Stufe 4 124

Anhang D: Simulationsprogramme 125
D.1 Programme für den NeNEB-Chip 125
D.1.1 bpgsim 125
D.1.2 conv-nn 125
D.1.3 Aufbau der Netzdatei mit Beispielen 126
D.2 Programme für das Mosaik-FPGA 127
D.2.1 pcpix 127
D.2.2 mosaic 127
D.2.3 hist 127
D.2.4 interla 127
D.2.5 window 128
D.2.6 split 128
D.2.7 strip 128

Anhang E: Inhalt der beigelegten Diskette 129

Literaturverzeichnis 131
Danksagung 133
Erklärung 135

Bildverzeichnis

1.1 Gesamtsystem zur Echtzeit-Klassifikation von Bilddaten 1

2.1 Schnitt durch den menschlichen Kortex [Roj93] 3
2.2 Aufbau eines Neurons und Verbindung zu anderen Neuronen [Rum86] 4
2.3 Zellmembran mit Ionenpumpe und Ionenkanälen [Gun80] 5
2.4 Form des Aktionspotentials entlang des Axons 5
2.5 Neuronales Netzwerk als *Black-Box* [Roj93] 6
2.6 nicht rückgekoppelte (links) und rückgekoppelte (rechts) Netze 7
2.7 Neuronales Netzwerk in Schichtenarchitektur 7
2.8 Symbol einer McCulloch-Pitts-Zelle 8
2.9 Sprungfunktion *s(x)* mit Schwellwert θ 10
2.10 Sigmoidfunktion *g(x)* und Zustand des Neurons 11
2.11 Logisches AND und OR mit McCulloch-Pitts-Zellen (a) und Perceptronen (b) 12
2.12 Eingaberaumaufteilung bei der AND- und bei der OR-Funktion a) mit McCulloch-Pitts-Zellen, b) mit Perceptronen 12
2.13 Eingaberaum der XOR-Funktion 14
2.14 BPG-Netz mit einer verdeckten Schicht 16
2.15 Fehlerfunktion (links) für ein Lernproblem mit Höhenlinien (rechts) [Roj93] 18
2.16 Backpropagation ohne (a) und mit Impulsterm (b) [Roj93] 19

3.1 ALVINN Netzwerk-Architektur [Pom93] 22
3.2 Reduktion der Auflösung bei ALVINN [Pom93] 23
3.3 verschiedene Möglichkeiten der Ausgangsrepräsentation 24

4.1 Gesamtsystem mit Mosaik-FPGA zur Auflösungsreduktion 27
4.2 Mosaikbildung zur Auflösungsreduktion 28
4.3 Algorithmus zur Mosaikbildung 29
4.4 Mosaikbildung mit Zahlenbeispielen (Zahlen kennzeichnen Grauwerte des Pixels) 30

4.5 Signalflußübersicht Mosaik-FPGA 31
4.6 Übersicht Mosaik-FPGA 32
4.7 Timing Mosaik-FPGA 33
4.8 Architektur eines Altera FPGAs der MAX7000-Serie [Alt93] 34
4.9 Aufbau einer Makrozelle der Altera MAX7000 FPGAs [Alt93] 35
4.10 FPGA-Operationswerk 36
4.11 Realisierung der Dividierer als Barrelshifter 37
4.12 FPGA-Steuerwerk (Steuerautomaten) 38
4.13 FPGA-Steuerwerk (Zähler) 39

5.1 Vergleich von Bildern unterschiedlicher Auflösung 41
5.2 Taylor-Reihenentwicklung der Sigmoidfunktion nach (5.2) mit $c = 1$ 45
5.3 Vergleich Sigmoidfunktion - Geradenannäherung 46
5.4 Eisenbahnbilder nach den einzelnen Bearbeitungsschritten 49

6.1 Netzwerkarchitektur des NeNEB-Chips 51
6.2 Blockschaltbild NeNEB-Chip 52
6.3 Darstellung der Datenformate 53
6.4 Darstellung der Ein-/Ausgabesignale x 53
6.5 Darstellung der Gewichte ω und der Schwellwerte θ 54
6.6 Darstellung der Multiplikationsergebnisse M 54
6.7 Darstellung der Additionsergebnisse a 55
6.8 Darstellung der Erregung E der Neuronen 56
6.9 Darstellung des Schwellwertes S der Ausgabefunktion 56
6.10 Darstellung der Offsets O der Ausgabefunktion 56
6.11 1. Teil der Erregungsfunktion zu Berechnung von $|\omega| \cdot x$ nach dem Hornerschema 58
6.12 2. Teil der Erregungsfunktion zur Berechnung von $a = \theta + \Sigma_i M_i \cdot \mathrm{sgn}(\omega_i)$ 59
6.13 Speicherung der Gewichte ω_{jk} im externen Gewichtespeicher 61
6.14 Ringspeicher zur Speicherung der Gewichte ω_{ij} der Ausgabeneuronen 63
6.15 Funktionsprinzip des Ringspeichers 64
6.16 Aktivierungsfunktion aus fünf Geradenstücken mit Parametern 64
6.17 Realisierung der Aktivierungsfunktion 67
6.18 Parallel-/Serienumsetzer zur Serialisierung der Ausgabe der verborgenen Neuronen 69
6.19 Signal- und Schnittstellenübersicht des NeNEB-Chips 70
6.20 interne Takte des NeNEB-Chips in Relation zum Systemtakt *clk* 71

6.21 Zweiflankensteuerung vs. Einflankensteuerung 72
6.22 asynchroner Taktteiler zur Takterzeugung 72
6.23 Synchronisationstiming der externen Signale 73
6.24 Timing der Hostrechner-Schnittstelle (Schreiben der Initialisierungsdaten) 74
6.25 Ausschnitt aus dem Eingangsteil der Hostrechner-Schnittstelle 75
6.26 Timing der Hostrechner-Schnittstelle (Lesen der Ausgabedaten) 76
6.27 Timing der Speicherschnittstelle (Schreiben) 77
6.28 Timing der Speicherschnittstelle (Lesen) 77
6.29 Timing der Bilddatenschnittstelle 78
6.30 Realisierung der Bilddatenschnittstelle 79
6.31 Übersicht über die einzelnen Teile des Steuerwerkes beim NeNEB-Chip 79
6.32 Synchronisation von Signalen zwischen zwei Steuerwerken (*STW 1* und *STW 2*) mit gleichem Takt 80
6.33 Synchronisation von Signalen zwischen zwei Steuerwerken (*STW 1* und *STW 2*) mit unterschiedlichem Takt (*clk1* und *clk2*) 80
6.34 Synchronisation von Signalen zwischen Operationswerk und Steuerwerk (*OPW* und *STW*) mit unterschiedlichem Takt (*clk1* und *clk2*) 81

7.1 Buchstabenerkennungsproblem 90

8.1 horizontale Skalierung mehrerer NeNEB-Chips 94

B.1 Toplevel-Design des NeNEB-Chips 105
B.2 Design-Hierarchie des Operationswerkes 106
B.3 Design-Hierarchie eines verborgenen Neurons 106
B.4 Design-Hierarchie eines Ausgabeneurons 107
B.5 Design-Hierarchie der Erregungsfunktion 107
B.6 Design-Hierarchie der Ausgabefunktion 108
B.7 Design-Hierarchie des Steuerwerkes 108
B.8 Design-Hierarchie der Simulationsumgebung 108
B.9 Zustandsdiagramm des Protokollautomaten 111
B.10 Zustandsdiagramm des Hauptsteuerwerkes 112
B.11 Zustandsdiagramm der Stufe 1 113
B.12 Zustandsdiagramm der Stufe 2 114
B.13 Zustandsdiagramm der Stufe 3 115
B.14 Zustandsdiagramm der Stufe 4 116

C.1 Design-Hierarchie des Steuerwerkes des Mosaik-FPGAs 119

C.2 Design-Hierarchie des Operationswerkes des Mosaik-FPGAs 119
C.3 Zustandsdiagramm der Stufe 1 121
C.4 Zustandsdiagramm der Stufe 2 122
C.5 Zustandsdiagramm der Stufe 3 123
C.6 Zustandsdiagramm der Stufe 4 124

Tabellenverzeichnis

2.1 Funktionstabelle der logischen Funktionen AND und OR 11
2.2 Funktionstabelle der XOR-Funktion 13

4.1 Signalbeschreibungen Mosaik-FPGA 32

5.1 Ausgaben des Simulationsprogramms *bpgsim* 48

6.1 Kodierung der Bilddaten 54
6.2 Beispiele für die Bereichsbegrenzung der Erregung E 60
6.3 Beispiele zum Zweierkomplementüberlauf im Addierer (*Addierer2*) 61
6.4 Parameter c der Sigmoidfunktion mit passenden Parametern der Geraden 66
6.5 Signale der Systemschnittstelle 71
6.6 Taktraten der internen Taktsignale 71
6.7 Timingdaten zu Bild 6.23 73
6.8 Signale der Hostrechner-Schnittstelle 74
6.9 Timingdaten zu Bild 6.24 74
6.10 Kodierung der Ausgaberegister 75
6.11 Timingdaten zu Bild 6.26 76
6.12 Signale der Speicherschnittstelle 76
6.13 Timingdaten zu Bild 6.27 77
6.14 Timingdaten zu Bild 6.28 77
6.15 Signale der Bilddatenschnittstelle 78
6.16 Timingdaten zu Bild 6.29 79
6.17 Reihenfolge der Initialisierungsdaten 81

7.1 Ein- und Ausgabe des 1-aus-8-Decoders 90
7.2 Syntheseergebnisse bei *adder1* 91
7.3 Syntheseergebnisse wichtiger zeitbestimmender Schaltungsteile 92
7.4 Chipflächenabschätzung für ein verborgenes Neuron und für ein Ausgabeneuron 92

8.1 Vergleich der Leistungsdaten des NeNEB-Chips und des Mosaik-FPGAs 93
8.2 Merkmale des NeNEB-Chips 94