Konzeption und Entwicklung eines

Histogramm-prozessors als ASIC

Diplomarbeit

Fachbereich Informatik - Universität Hamburg
Arbeitsbereich Technische Grundlagen der Informatik

Bernhard Dwersteg
Rellingen

April 1995

Betreuer: Dr. R. Rauscher
Zweitbetreuerin: Prof. B. Mertsching

Vorwort

Den Rahmen dieser Diplomarbeit bildet die Entwicklung eines Histogrammprozessors, der in Kooperation zwischen dem Fachbereich Informatik der Universität Hamburg, Arbeitsbereich Technische Grundlagen der Informatik, und dem Mikroelektronik Anwendungszentrum Hamburg (MAZ) entstehen soll. Mit diesem Projekt beabsichtigt das MAZ, komplette Bildverarbeitungslösungen zu erstellen und diese Technologie für kleine und mittelständische Unternehmen zugänglich zu machen. Der Histogrammprozessor und ein am MAZ in Entwicklung befindlicher Bildverarbeitungsprozessor sollen im Rahmen des BMFT-Projektes „Elektronisches Auge“, an dem mehrere deutsche Firmen beteiligt sind, gefertigt werden.
Der Wunsch, einen Histogrammprozessor (Histogrammer) zu entwickeln, entstand Ende 1993 am MAZ, da der Markt nur eine sehr begrenzte Anzahl von Histogrammern anbietet. Diese sind in der Regel für spezielle Anwendungsfälle optimiert. Der hier zu entwickelnde Histogrammprozessor soll allgemein einsetzbar sein und eine Reihe von Eigenschaften bieten, die bei den kommerziellen Produkten nicht verfügbar sind. Parallel zum Histogrammprozessor wird am MAZ ein Bildvorverarbeitungsprozessor realisiert. Beide Prozessoren können unabhängig voneinander oder einander ergänzend eingesetzt werden.
Ursprünglich sollte es Aufgabe der Diplomarbeit sein, ein vom MAZ zu erstellendes vollständiges Verhaltensmodell des Histogrammprozessors an der Universität synthesefähig zu implementieren und über das EUROCHIP-Projekt der Universitäten einige Musterexemplare zu fertigen. Da das Verhaltensmodell nicht rechtzeitig zur Verfügung stand, wurde die Aufgabenstellung der Diplomarbeit dahingehend erweitert, daß sie Weiterentwicklung der Spezifikation und die komplette Entwicklung des Verhaltensmodells in VHDL umfassen sollte. Grundlage dafür stellte ein Konzeptentwurf des MAZ dar. Die Umsetzung des Verhaltens-modells in eine synthesefähige VHDL-Beschreibung geschah dann direkt am MAZ mit dem dort verfügbaren Compass-Entwurfssystem, um den Aufwand einer späteren Portierung von dem an der Universität benutzten Synopsys-Entwurfssystem auf das Compass-System zu ersparen.

Inhaltsverzeichnis

1 Einleitung und Motivation 6

2 Einsatzgebiete eines Histogrammers 8

2.1 Stellung des Histogrammers in einem Bildverarbeitungssystem 8

2.2 Konventionen zur Schreibweise und zur mathematischen Darstellung 9

2.3 Histogramme 9

2.4 Egalisierung 12

2.5 Cooccurence-Matrix 16

2.6 Statistische Informationen 17
2.6.1 Statistik zum Histogramm 18
2.6.2 Statistik zur Cooccurence-Matrix 19

2.7 Kachelsummen 21

3 Anforderungskatalog und Lösungsansätze 23

3.1 Untersuchung einer Softwarelösung 23
3.1.1 Abschätzung der Ausführungsgeschwindigkeit 24

3.2 Wesentliche Anforderungen an den Histogrammer 26
3.2.1 Grundsätzliche Designentscheidungen 26
3.2.2 Histogrammerstellung 27
3.2.3 Egalisierungsfunktionen 29
3.2.4 Cooccurence-Matrix-Erstellung 30
3.2.5 Statistikfunktionen 31
3.2.6 Kachelsummen-Erstellung 32
3.2.7 Fensterdefinition, weitere Funktionen 33

4 Spezifikation und Implementation 34

4.1 Übersicht über die zu implementierenden Einheiten 34

4.2 Positionszähler und Fensterkomparatoren 35

4.3 Histogrammteil 37
4.3.1 Realisierungsmöglichkeiten des Histogrammteils 37
4.3.2 Read-Modify-Write-Zugriff auf den Histogrammspeicher 40
4.3.3 Implementation des Read-Modify-Write-Zugriffs 42
4.3.4 Realisierung der ALU 44

4.4 Statistikteil 47

4.4.1 Einsparmöglichkeiten beim Statistikteil 49

4.5 Spezifikation der Schnittstellen des Histogrammers 51
4.5.1 Interface des Histogrammers zum Auswertungsrechner 51
4.5.2 Registerbelegung und Programmierung 53
4.5.3 Realisierung des Businterface 64
4.5.4 Realisierung der Bilddatenschnittstelle 70

4.6 Timing-Konzept des Histogrammers 73
4.6.1 Ablaufsteuerung 75
4.6.2 Taktung 76
4.6.3 Übernahme externer Signale 76

4.7 Überleitung 78

5 Realisierung des Histogrammers mit VHDL 79

5.1 Top-Down-Entwurf mit VHDL 79
5.1.1 Entwicklung eines Verhaltensmodells 81
5.1.2 Vorgehen bei der Entwicklung des Histogrammers 82

5.2 Erstellung des Verhaltensmodells 84
5.2.1 Erste Erfahrungen bei der Verhaltensmodellierung und Synthese 84
5.2.2 Einige Richtlinien zur Erstellung des VHDL-Codes 84

5.3 Simulation des Verhaltensmodells 90

5.4 Erstellung einer synthesefähigen Beschreibung 90

5.5 Simulation der Netzliste 93
5.5.1 Benutzung des VHDL-Simulators zur Netzlisten-Simulation 93
5.5.2 Anpassungen des VHDL-Modells 95
5.5.3 Einbau von Timing-Constraints 98
5.5.4 Synchronisation externer Signale 101

5.6 Datenpfad-Compiler 102

5.7 Einbau von Padzellen 104

5.8 Ergebnisse der Netzlistensimulation 105

5.9 Vorläufige Layout-Ergebnisse 106

5.10 Fehler der Entwurfssysteme 107
5.10.1 Compass-System 107
5.10.2 Synopsys-System 108

6 Ausblick 110

6.1 Fertigstellung des Histogrammers 110
6.1.1 Testbarkeit 110
6.1.2 Abschließende Synthese, Layout und Fertigung 112

6.2 Mögliche Erweiterungen und Verbesserungen des Histogrammers 113

7 Danksagung..... 116

8 Literaturverzeichnis 117

9 Anhang A: Programmierbeispiel für den Histogrammer..... 119

10 Anhang B: Vergleich mit handelsüblichen Histogrammern 122

11 Anhang C: Grafischer Top-Level und Datenpfad-Einheiten..... 123

12 Anhang D: Listing des VHDL-Verhaltensmodelles 124

13 Anhang E: Simulationslauf mit Testumgebung „histosti“ 125

14 Anhang F: Auszüge aus Simulationslauf mit MAZ-Umgebung..... 128

15 Anhang G: Erhöhung der Bild- oder Grauwertauflösung 130

16 Anhang H: Beispiele für Egalisierung, Cooccurence-Matrix 132

Wichtige Bemerkung zum Copyright:
Das MAZ Mikroelektronik Anwendungszentrum Hamburg GmbH ist Inhaber der Schutzrechte an der der Diplomarbeit zugrundeliegenden Spezifikation und am VHDL-Quellcode des Histogrammprozessors. Auf einer Kopie oder teilweisen Kopie der Spezifikation oder der Quellcodes ist dieser Hinweis zu vermerken.