



## Aufgabenblatt 9 Ausgabe: 13.12., Abgabe: 20.12. 24:00

Gruppe	
Name(n)	Matrikelnummer(n)

### Aufgabe 9.1 (Punkte 10+10+10)

*Zeitverhalten von Addierern:* Das Zeitverhalten der in der Vorlesung vorgestellten Addierertypen (Ripple-Carry, Carry-Lookahead, Carry-Select) soll analysiert werden. Als Zeitmodell nehmen wir eine Verzögerung von jeweils einer Zeiteinheit für den Volladdierer, einen Multiplexer und alle beim Carry-Lookahead Addierer verwendeten Teilschaltungen (Sum, CLA) an. Unter diesen Annahmen beträgt die Verzögerung für einen  $n$ -bit Ripple-Carry Addierer  $n$  Zeitschritte, da das Carry-Signal alle  $n$  Stufen durchlaufen muss, bis das höchste Bit der Summe berechnet werden kann.

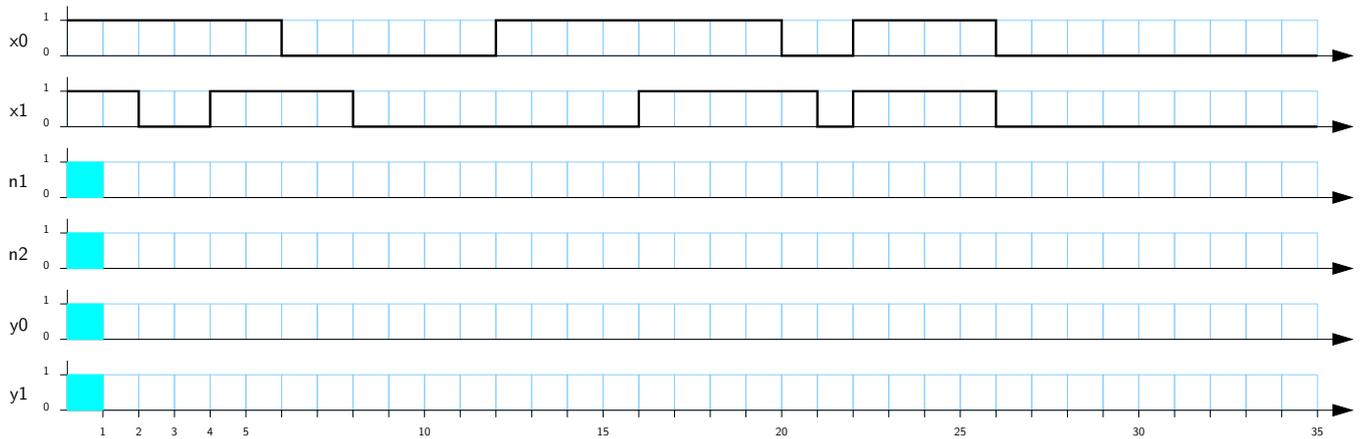
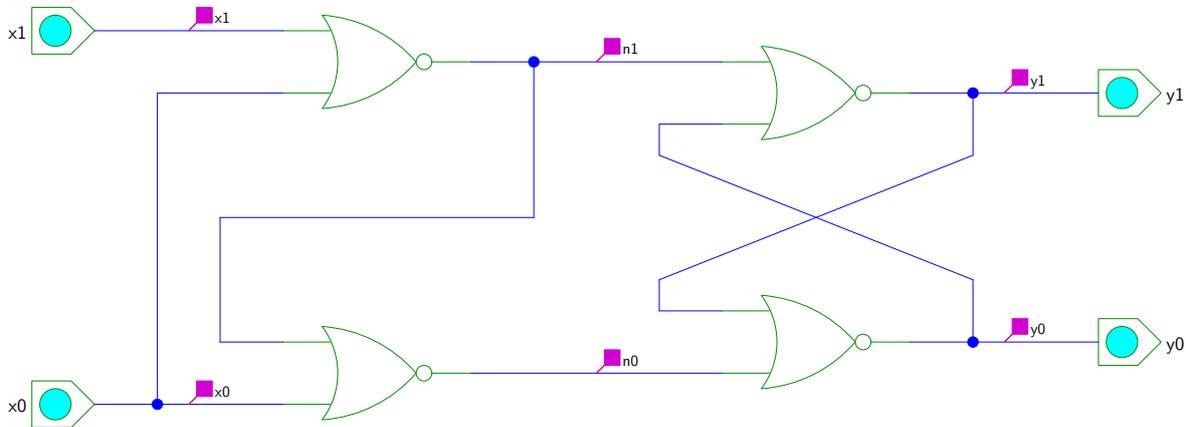
- (a) Welche Verzögerung ergibt sich bei  $n$ -bit Wortbreite für den, in der Vorlesung beschriebenen, Carry-Lookahead Addierer? Hinweis: dabei werden zunächst von den Sum-Blöcken die Generate- und Propagate Werte berechnet, dann der CLA-Baum bis zur Wurzel durchlaufen und schließlich die Carry-Werte zurück zu den Sum-Blöcken übertragen.
- (b) Für den  $n$ -bit Carry-Select Addierer wählen wir zunächst eine Aufteilung in  $m$  Blöcke von jeweils  $n/m$  bits. Falls  $n/m$  nicht ganzzahlig ist, werden einige Blöcke um jeweils 1 Bit erweitert, bis es passt.

Wie viele Zeitschritte benötigt dieser Addierer als Funktion von  $n$  und  $m$ ? Wie muss  $m$  gewählt werden, um die Verzögerung zu minimieren?

- (c) Geben Sie die Verzögerung für alle drei Addierer für jeweils  $n = 64$  (z.B. Java long) und  $n = 256$  (z.B. Java3D Koordinaten) an. Welche maximale Taktfrequenz ist mit den jeweiligen Addierern erreichbar, wenn wir einen Wert von 35 ps als Zeitverzögerung einer Stufe annehmen?

**Aufgabe 9.2** (Punkte 20+5)

*Zeitverhalten von Schaltungen:* Wir untersuchen das Zeitverhalten der folgenden Schaltung mit den beiden Eingängen  $x_0$  und  $x_1$  und den Ausgängen  $y_0$  und  $y_1$ .



- (a) Die Signalverzögerungszeit jedes Gatters sei eine Zeiteinheit (ein Teilstrich im Diagramm). Überlegen Sie sich für die Eingaben  $x_0$  und  $x_1$  den Verlauf der internen Netze  $n_1$  und  $n_2$  sowie der Ausgänge  $y_0$  und  $y_1$ . Beachten Sie dabei, dass zu Beginn der Simulation alle Ausgänge als undefiniert gelten (cyan markiert), so dass die weiter „hinten“ liegenden Leitungen möglicherweise erst nach mehreren Zeiteinheiten definierte Werte annehmen. Simulieren Sie 35 Zeiteinheiten.
- (b) Was passiert in der Schaltung? Erklären Sie das Verhalten.

Für undefinierte Werte  $x$  gilt in boole'schen Ausdrücken:  $\bar{x} = x$ ,  $0 \vee x = x$ ,  $1 \vee x = 1$ ,  $0 \wedge x = 0$  und  $1 \wedge x = x$ .

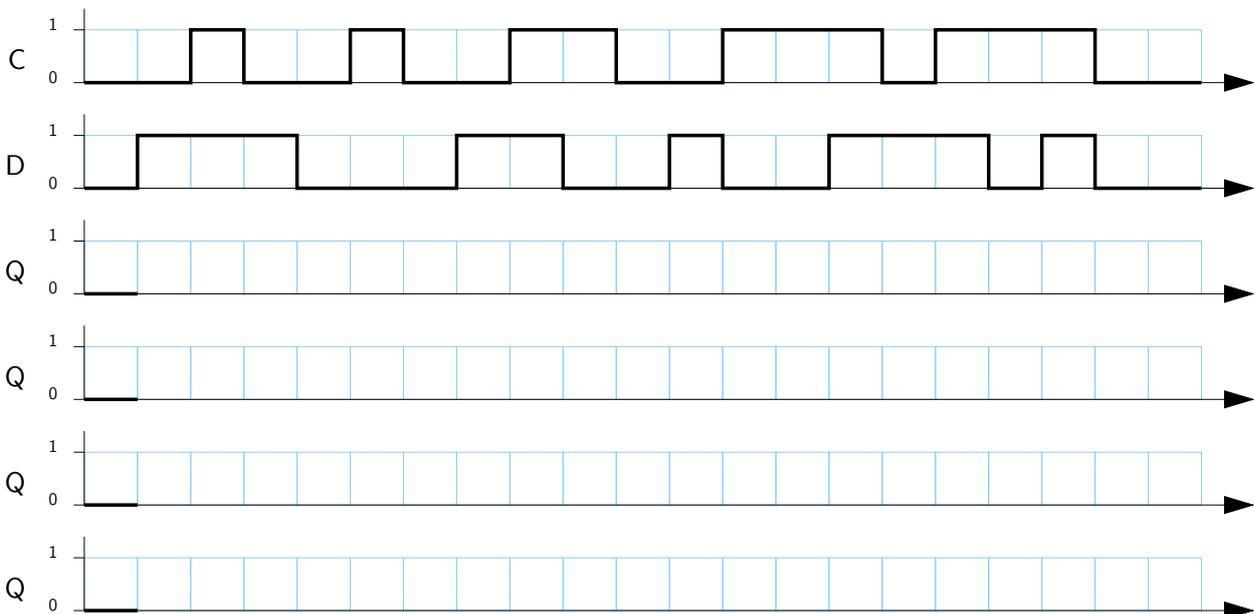
Beim Ausfüllen solcher Impulsdiagramme sollte man immer, wie das auch ein Simulationsalgorithmus macht, zeitlich schrittweise vorgehen. Angenommen, alle Werte sind bis  $t - 1$  bekannt, dann werden für alle Signale deren Werte im Zeitschritt  $t$  berechnet. Anschließend kann der nächste Zeitpunkt bearbeitet werden und das Diagramm füllt sich von links nach rechts (= spaltenweise).

Das heißt, bei einer zeitlichen Verzögerung von 1 (ein Kästchen), berechnet man für jede Zeile zum Zeitpunkt  $t$  den Wert aus dem logischen Ausdruck, also aus den Werten der Gattereingänge, bei  $t - 1$ . Hat man das für alle Signale (Zeilen) gemacht, geht man zum nächsten Zeitpunkt (Spalte) über.

### Aufgabe 9.3 (Punkte 4-5)

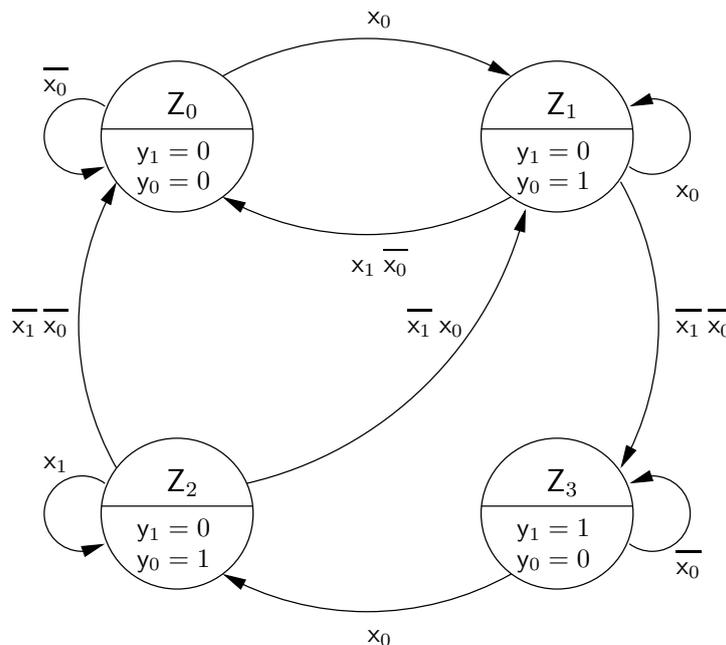
*D-Latch und D-Flipflop:* Wir betrachten pegelgesteuerte D-Flipflops (Latch) und flankengesteuerte Flipflops. Wir nehmen an, dass der neue Ausgangswert  $Q$  jeweils um eine Zeiteinheit verzögert ausgegeben wird.

Vervollständigen Sie die Impulsdiagramme für den angegebenen Verlauf des Taktsignals  $C$  und des Dateneingangs  $D$ . Werden dabei Zeitbedingungen verletzt (Vorlesung, Folie 652ff), soll das in der Simulation zu undefiniertem Verhalten führen.



**Aufgabe 9.4** (Punkte 10+5+10)

*Schaltwerk-Analyse:* Wir betrachten das Zustandsdiagramm eines Moore-Schaltwerks mit Eingängen  $X = (x_1, x_0)$  und Ausgaben  $Y = (y_1, y_0)$  sowie vier Zuständen  $Z_0, Z_1, Z_2, Z_3$ . Wir codieren die Zustände  $Z$  binär mit zwei Bits  $(z_1, z_0)$  und damit  $Z_0 = (0,0)$ ,  $Z_1 = (0,1)$ ,  $Z_2 = (1,0)$  und  $Z_3 = (1,1)$ :



- (a) Ermitteln Sie aus dem Zustandsdiagramm die zugehörigen Gleichungen für die Übergangsfunktion  $\delta$  sowie die Ausgangsfunktion  $\lambda$  in disjunktiver Form.

Zur Lösung sollen dabei Übergangs- und Ausgangstabellen erstellt werden, die dann in KV-Diagramme übertragen werden und aus denen dann minimierte Schaltfunktionen ermittelt werden können.

- (b) Erklären Sie, weshalb es sich um einen Moore-Automaten handelt. Wie äußert sich das in den Schaltfunktionen aus Aufgabenteil (a)?
- (c) Überprüfen Sie den Automaten auf Vollständigkeit (in jedem Zustand ist für jede Eingangsbelegung mindestens ein Übergang aktiv) und Widerspruchsfreiheit (in jedem Zustand ist für jede Eingangsbelegung höchstens ein Übergang aktiv).