

WS 2005/2006	Übungen zu 18.003 Bachelor Modul IP7 Rechnerstrukturen (RS) Teil 2 J. Zhang	Aufgabenblatt 2.3
LV 18.004		Abgabe:

Prämbel

Das Übungsblatt 2.3 rangiert außerhalb der Kriterien zur Erlangung des Übungsscheines. Eine Abgabe der gelösten Aufgaben ist nicht intendiert; wohl aber wird eine Bearbeitung der Aufgaben zur Vertiefung des in der Vorlesung dargebrachten Stoffes empfohlen.

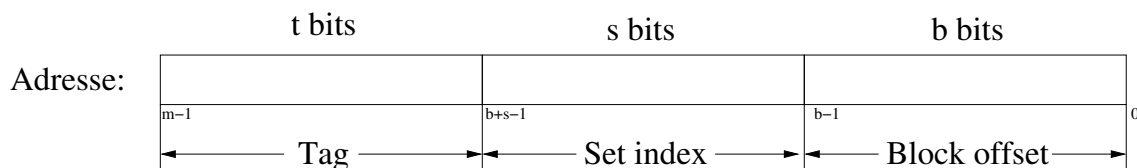
Aufgabe 2.3.1 Massenspeicher:

2.3.1.1: Sie finden in Ihrer Ersatzteilkiste eine Festplatte. Aus der Typenbezeichnung ist für Sie nicht zu ersehen, welche Speicherkapazität die Platte besitzt. Auf dem Label sind allerdings folgende Daten notiert:

Cylinders	826
Heads	16
Sectors/Track	63
Write Precomp	0
Bytes/Sector	512

Bitte berechnen Sie aus diesen Daten die Kapazität der Festplatte. Die Kapazität ist nach der Notation der Festplattenhersteller anzugeben. Bitte beachten Sie dabei, dass die Festplattenhersteller für $1\text{MB} = 10^6$ Byte und nicht wie in der Informatik üblich und wie es z.B. auch die DRAM-Hersteller halten $1\text{MB} = 2^{20}$ Byte ansetzen.

Aufgabe 2.3.2 Cache-Speicher: Wir betrachten ein System, dessen Speicherhierarchie einen Cache (gemeinsam für Daten und Instruktionen) zwischen Hauptspeicher und Prozessorregistern aufweist. Die Cacheorganisation erfordert die Aufteilung einer Hauptspeicheradresse in t tag bits, in s set index bits und in b block offset bits. Daraus ergeben sich folgende Felder:



Darüberhinaus lässt sich der Cache durch folgende Parameter beschreiben:

Parameter	Kommentar
$S = 2^s$	Anzahl der Bereiche (sets)
E	Anzahl der Zeilen (lines) pro Bereich
$B = 2^b$	Blockgröße [Byte]
$m = \log_2(M)$	Anzahl der Adressbits einer physikalischen Adresse
M	Anzahl der physikalischen Hauptspeicher-Adressen

2.3.2.1: Erläutern Sie kurz und prägnant die in obiger Liste benutzten Parameter:

- Block bzw. Blockgröße,
- Zeile (line) und
- Bereich (set).

2.3.2.2: Erläutern Sie jeweils mit wenigen Sätzen die u.g. Varianten von Cachespeichern:

- Direct Mapped Cache
- Set Associate Cache und
- Fully Associate Cache.

Gehen Sie dabei ebenfalls auch kurz auf die jeweiligen Vorteile und Grenzen der Konzepte ein.

2.3.2.3: Betrachten Sie folgendes C-Programm:

```
float dotprod(float x[8], float y[8])
(
    float sum = 0.0;
    int i;

    for (i = 0, i < 8, i++)
        sum = sum + x[i] * y[i];
    return sum;
)
```

Es gelten folgende Voraussetzungen:

- ein float belegt 4 Byte,
- die beiden Arrays werden jeweils in zusammenhängenden Speicherbereichen mit aufsteigenden Adressen gespeichert,
- die beiden Arrays schließen unmittelbar aneinander an,
- die Variable `sum` wird in einem Register gespeichert,
- es ist ein Daten-Cache mit folgenden Parametern vorhanden:
 $B = 16 \text{ Byte}$
 $S = 2$
 $E = 1$

2.3.2.3.1: Um welche der in Aufg. 2.3.2.2 angeführten Varianten handelt es sich bei obigem Cache?

2.3.2.3.2: Welche Größe in Byte weist der Cache auf?

2.3.2.3.3: Was können Sie über die Effektivität des Cashes bei dem gegebenen Beispiel mit der gegebenen Cachekonfiguration aussagen?

2.3.2.3.4: Wieviel `cache misses` und wieviel `cache hits` sind zu beobachten?

2.3.2.3.5: Kennen Sie Möglichkeiten, die Trefferrate bei diesem Beispiel noch zu erhöhen?

Aufgabe 2.3.3 Virtual Memory: Mehrstufige Adressumsetzung:

Für die folgende Aufgabe werden folgende grundlegende Parameter des virtuellen Speichersystems angenommen:

Parameter	
Symbol	Beschreibung
$N = 2^n$	Anzahl der Adressen des virtuellen Adressraumes
$M = 2^m$	Anzahl der Adressen des physikalischen Adressraumes
$P = 2^p$	Seitengröße [byte]

Darüberhinaus wird eine Byte-Adressierung zugrunde gelegt.

Die virtuelle Adresse kann sich je nach Detaillierung des virtuellen Speichersystems aus folgenden Feldern zusammensetzen:

Felder der virtuellen Adresse (VA)	
Symbol	Beschreibung
VPO	Virtual page offset [byte]
VPN	Virtual page number
TLBI	TLB index
TLBT	TLB tag

Die physikalische Adresse kann sich je nach Detaillierung des physikalischen Speichersystems aus folgenden Feldern zusammensetzen:

Felder der physikalischen Adresse (VA)	
Symbol	Beschreibung
PPO	Physical page offset [byte]
PPN	Physical page number
CO	Byte offset within cache block
CI	Cache index
CT	Cache tag

(Die Beschreibungen der Abkürzungen wurden nicht übersetzt, da sonst z.T. die unmittelbare Entsprechung der Symbole verloren ginge.)

2.3.3.1: Skizzieren Sie ausgehend von den o.g. Parametern des Speichersystems bei zweistufiger Adressumsetzung die Berechnung der physikalischen Adresse. Verwenden Sie dafür, soweit zutreffend, die oben angegebenen Symbole. Aus der Skizze sollte auch die jeweilige Länge der Felder der jeweiligen Adresse (virtuell, physikalisch) hervorgehen.

2.3.3.2: Wieviele Einträge weist die Seitentabelle auf Ebene1 (PT1) und auf Ebene2 (PT2) bei einer 16 Bit breiten virtuellen Adresse und bei einer Seitengröße von 1KB auf wenn die Adressfelder für PT1 und PT2 jeweils gleich breit sind?

2.3.3.3: Worin ist der Vorteil z.B. der zweistufigen Adressumsetzung gegenüber einer einstufigen Adressumsetzung zu sehen?

Aufgabe 2.3.4 Seitenfehler:

2.3.4.1: Bei einem Seitenfehler muss die referenzierte Seite durch die MMU (Memory Management Unit) in den physikalischen Speicher nachgeladen werden. Wenn dieser aber bereits vollständig ausgelastet ist, muss eine vorhandene Seite wieder auf den externen Massenspeicher ausgelagert werden. Überlegen Sie sich zwei Strategien, nach der die auszulagernde Seite ausgewählt werden könnte. Wo würden Sie Zusatzinformationen abspeichern, falls Ihre Ersetzungsstrategie solche benötigt?

2.3.4.2: Beim Datencache kann die Situation eintreten, daß durch eng bzw unmittelbar aufeinanderfolgende Cache-Miss (thrashing) die Performance des Systems drastisch einbricht. Ist eine derartige Situation auch für Page-Faults denkbar?

Aufgabe 2.3.5 RAID-Arrays:

Diskutieren Sie jeweils kurz die Level RAID 0 bis RAID 3 unter Nennung der wesentlichen Eigenschaften.

Aufgabe 2.3.6 Interrupt:

Im allgemeinen Fall müssen zu Beginn einer Interrupt-Bearbeitung alle Prozessorregister auf den Stack gerettet werden und am Ende der Interrupt-Routine wiederhergestellt werden.

2.3.6.1: Wie lange dauert daher die Bearbeitung eines Interrupts mindestens auf den folgenden zwei Prozessor-Architekturen? Berücksichtigen Sie dabei nicht die in der Interruptroutine auszuführenden Instruktionen, und nehmen Sie dabei weiterhin an, dass (im Mittel) ein Datentransfer pro Takt bearbeitet wird und alle eventuell zu rettenden Register (s.u.) gleich breit sind.

- Intel Pentium-IV (x86), 2 GHz Taktfrequenz, 32 Register (8 Integer-, 6 Segment, 2 Status, 8 Gleitkomma, 8 SSE-Register)
- ARM-7 (Embedded), 66 MHz Takt, fast interrupt mode", 5 Register

Aufgabe 2.3.7 Exceptions:

In der Vorlesung wurden die Exceptions in vier Klassen unterteilt. Sie lauten: Interrupts, Traps, Faults und Aborts.

2.3.7.1: Diskutieren Sie für jede Klasse kurz folgende Punkte:

- Grund der Auslösung (Oberbegriff & Beispiel),
- synchron bzw. asynchron,
- übliche Aktion,
- Rücksprungverhalten