

Proseminar 18.066

# Mikroprozessoren

Norman Hendrich

Universität Hamburg, Fachbereich Informatik, TECH

tech-www.informatik.uni-hamburg.de/lehre/ws2000/ps-mikroprozessoren

PS Mikroprozessoren | WS 2000 | 18.066

## Terminvorschau: *Mi, 12-14, C-221*

	25.10	Vorbesprechung, Vergabe der Referate
1	01.11	computer abstractions and technology
2	08.11	the role of performance
3	15.11	instructions: language of the machine
4	22.11	arithmetic for computers
5	29.11	the processor: datapath and control
6	06.12	enhancing performance with pipelining
7	13.12	large and fast: exploiting memory hierarchy
8	20.12	interfacing processors and peripherals
9	10.01	multiprocessors / single-chip multiprocessors
10	17.01	media instruction sets / MMX, ISSE, 3Dnow!
11	24.01	signal processors (or: Java processors)
12	31.01	microcontrollers
13	07.02	explicit parallel instruction computing: Intel IA-64

Patterson & Hennessy

advanced

PS Mikroprozessoren | WS 2000 | 18.066

## Literatur:

D.A.Patterson & J.L.Hennessy:  
computer organization & design, the hardware/software interface  
Morgan Kaufmann, 1998 (2nd Ed.), 1-55860-491-X  
D HEN 25574 (mehrere Exemplare)



A.S.Tanenbaum:  
structured computer organization  
Prentice Hall, 1999 (4th Ed.), 0-13-020435-8  
P TAN 26062



Skripte T1/T2/T3/T4  
diverse Datenbücher, insbesondere via developer.intel.com, www.amd.com,  
www.motorola.com (Signalprozessoren, µController)

PS Mikroprozessoren | WS 2000 | 18.066

## Proseminar: *mehrere Lernziele*

Inhalt / Thema des Proseminars

- Mikroprozessoren

33%

Thema erarbeiten:

- Literatur lesen und verstehen
- evtl. weitere Literatur suchen und sichten
- umfangreiches Thema zusammenfassen
- Folien und Ausarbeitung erstellen
- dabei selbständiges Arbeiten, evtl. Gruppenarbeit

33%

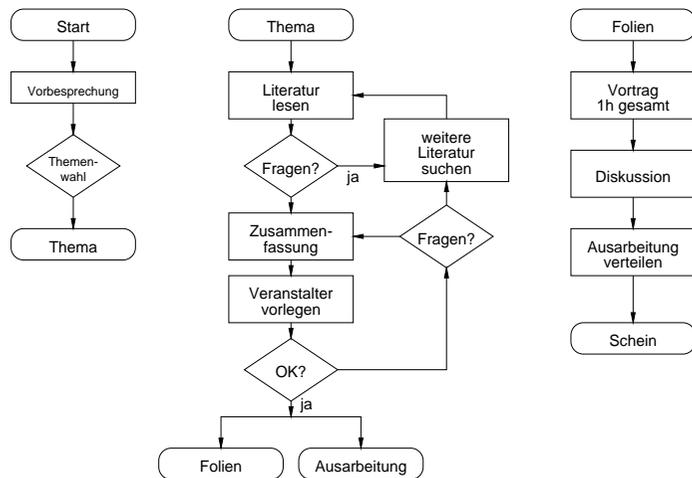
Vortrag:

- Vortrag halten, Lampenfieber überwinden
- Diskussion

33%

PS Mikroprozessoren | WS 2000 | 18.066

## Proseminar-Algorithmus



PS Mikroprozessoren | WS 2000 | 18.066

## Vortrag:

- Tafel und Kreide
- Overhead-Folien
- Powerpoint & Co

### Faustregeln:

- 3 Minuten pro Folie  
=> etwa 15 .. 25 Folien / Stunde Vortrag
- grosse Schrift (>20pt), Querformat
- nicht nur Schlagworte ("Powerpoint-Syndrom")
- sondern möglichst viele Diagramme / Abbildungen
- Backup-Folien bereithalten: Details zu erwarteten Fragen



PS Mikroprozessoren | WS 2000 | 18.066

## Vorfürhungen, Beamer:

### Beamer für Powerpoint & Co:

- im Prinzip möglich (sofern verfügbar)
- muss im RZ angemeldet werden
- rechtzeitig (zwei Wochen vorher) beim Betreuer anfragen
- lohnt für Animationen, Programmdemos, Medienwiedergabe
- ca. 30 Min für Aufbau / Abbauen einplanen
- eigenes Notebook mitbringen
- PC und Macintosh unterstützt
- Beamer verfügen über (mono) Lautsprecher
- Ausarbeitung in jedem Fall notwendig

PS Mikroprozessoren | WS 2000 | 18.066

## Ausarbeitung:

### wissenschaftliches Schreiben üben:

- als Text ausformulieren
- mit Gliederung und Literaturhinweisen
- Umfang ca. 4-8 Seiten
- möglichst schon beim Vortrag verteilen
- bitte nur portable Dateiformate:  
PDF, Postscript (Apple Laserwriter II), HTML, ASCII-Text  
aber keine "write-only" Formate wie Word
- einfache Folienkopien nur im (begründeten) Notfall
- Literaturliste der Bibliothek:  
"Studieren Lernen Arbeiten"

PS Mikroprozessoren | WS 2000 | 18.066

## Mikroprozessoren: Performance 2000

SPEC CPU95 Benchmarks (baseline):	SPECint95	SPECfp95
AMD Athlon 1GHz	42.0	29.4
Intel Pentium-III 800 MHz (VC820)	37.9	27.7
Compaq Alphaserver DS20E	35.7	70.7
HP 9000 C3600	38.4	61.0
Sun Ultra 10/440	15.0	19.8

- keine offiziellen Werte für PowerPC
- Programme laufen weitgehend im L1 Cache
- Alpha sieht bei CPU2000 deutlich besser aus
- aktuell: UltraSPARC-III, alle anderen RISC weit abgeschlagen

[www.spec.org/osg/cpu95, Stand 05/2000]

## Mikroprozessoren: x86-Evolution ...

Intel Processor	Date of Product Introduction	Perform-ance, in MIPs <sup>1</sup>	Max. CPU Frequency at Intro-duction	No. of Transis-tors on the Die	Main CPU Register Size <sup>2</sup>	Extern. Data Bus Size <sup>2</sup>	Max. Extern. Addr. Space	Caches in CPU Pack-age <sup>3</sup>
8086	1978	0.8	8 MHz	29 K	16	16	1 MB	None
Intel 286	1982	2.7	12.5 MHz	134 K	16	16	16 MB	Note 3
Intel386™ DX	1985	6.0	20 MHz	275 K	32	32	4 GB	Note 3
Intel486™ DX	1989	20	25 MHz	1.2 M	32	32	4 GB	8KB L1
Pentium®	1993	100	60 MHz	3.1 M	32	64	4 GB	16KB L1
Pentium® Pro	1995	440	200 MHz	5.5 M	32	64	64 GB	16KB L1; 256KB or 512KB L2
Pentium® II	1997	466	200	7 M	32	64	64 GB	32KB L1; 256KB or 512KB L2
Pentium® III	1999	1000	500	8.2 M	32 GIP 128 SBC,FP	64	64 GB	32KB L1; 512KB L2

[Intel P-III databook]

## Mikroprozessoren: "embedded systems"



## Prozessoren in "embedded systems"



Prozessor	4 .. 32 bit	8 bit	-	16 .. 32 bit	16 bit	32 bit	32 bit	8 .. 64 bit	..32 bit
Speicher	1K .. 1M	<8K	<1K	1 .. 64M	?	< 128 M	8 .. 64M	1 K .. 10 M	<64 M
ASICs	1 uC	1 uC	1 ASIC	1 uP ASIP	DSPs	1 uP, 3 DSP	1 uP, DSP	~ 100 uC, uP, DSP	uP, ASIP
Netzwerk	cardIO	-	RS232	diverse	GSM	MIDI	V.90	CAN,...	I2C,...
Echtzeit	nein	nein	soft	soft	hard	soft	hard	hard	hard
Safety	keine	mittel	keine	gering	gering	gering	gering	hoch	hoch

- => riesiges Spektrum: 4 bit .. 64 bit Prozessoren, DSPs, digitale/analoge ASICs, ...
- => Sensoren/Aktoren: Tasten, Displays, Druck, Temperatur, Antennen, CCD, ...
- => Echtzeit-, Sicherheits-, Zuverlässigkeitsanforderungen

## Moore's Law

- Planarprozeß ist massiv parallel
  - Kosten fast unabhängig von der Anzahl einzelner Elemente
- => Moore's Law: exponentieller Anstieg des Integrationsgrades
- mehr Funktionen bei gleichen Kosten (gleiche Chipfläche)
  - oder gleiche Funktion bei geringeren Kosten
  - rein wirtschaftlich bedingt
  - solange, bis Kapitalkosten für neue Technologie zu hoch

Verbesserungen durch: (relativer Anteil)

- feinere Lithographie (50%)
- verbesserte Transistoren / Strukturen (25%)
- bessere Rechnerarchitektur (25%)

## Moore's Law: Lithographie, Hochintegration

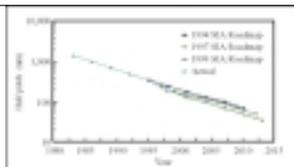


Figure 1  
Historical and future trends of lithographic resolution capability. Here, 500 nm is the minimum size of lithographic features on a chip (ILN - Semiconductor Industry Association)

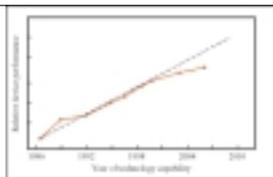


Figure 2  
Comparison of performance for devices produced in successive technology generations in the year in which each technology generation first reached capability for volume production. Circles and the yellow curve represent historical and expected future behavior. The straight line represents an exponential growth rate accelerated from Moore's law. Circuit silicon costs in leading are not considered in this measurement of later generations.

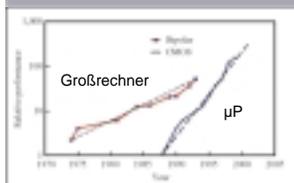


Figure 3  
Historical and future microprocessor performance trends using bipolar and CMOS circuits. The straight line represents the time-averaged exponential improvement in the performance of the technology.

- exponentielles Wachstum
- seit 1970, bis > 2015
- seit 1996 CMOS besser als ECL
- zunehmend Abwärmeproblem

[IBM JRD 44-3, 2000]

## Moore's Law: Transistor-Skalierung

As the technology scales... [Intel µP-Forum 99]

Width =  $W = 0.7$ , Length =  $L = 0.7$ ,  $L_{eff} = 0.7$

- 1. Dimensions reduce 30%, this is good**  

$$\text{Area} \cdot \text{Cap} = C_c = \frac{0.7 \times 0.7}{0.7} = 0.7$$

$$\text{Fringing} \cdot \text{Cap} = C_f = 0.7$$

$$\text{Total} \cdot \text{Cap} = C = 0.7$$
- 2. Capacitance on a node reduces by 30%, this is good**  

$$\text{Die Area} = X \times Y = 0.7 \times 0.7 = 0.7^2$$
- 3. Transistor density (integration) doubles, this is good**  

$$\frac{\text{Cap}}{\text{Area}} = \frac{0.7}{0.7 \times 0.7} = \frac{1}{0.7}$$
- 4. Capacitance per unit area increases 43%, this is not good**

## Moore's Law: Leistungsverbrauch

