64-189
Projekt: Entwurf eines Mikrorechners

https://tams.informatik.uni-hamburg.de/lectures/2026ws/projekt/mikrorechner

– Einführung –

Andreas Mäder, Norman Hendrich

Universität Hamburg
Fakultät für Mathematik, Informatik und Naturwissenschaften
Fachbereich Informatik
Technische Aspekte Multimodaler Systeme

15. Oktober 2026

Organisation

- Termine

  Zeit Donnerstag, 14:00 – 18:30 Uhr

  Raum 05-713

1. Plenum
   - Einführung am Anfang
   - Vorstellung von (Zwischen-) Ergebnissen
2. praktische Arbeit in Kleingruppen

   Selbstorganisation der Arbeitsgruppen

- Info im Moodle

  `https://lernen.min.uni-hamburg.de`

  lokale Web-Seiten

  `https://tams.informatik.uni-hamburg.de/lectures/2026ws/projekt/mikrorechner`

Ziel des Projekts

- Entwurf und Programmierung eines Mikrorechners
- Schnittstelle zwischen Assembler-Befehlen (ISA) und Hardware
- aktuelle Architekturkonzepte
  - RISC-artiger Befehlssatz (Load-/Store-Architektur)
  - Assemblerbefehle in Pipeline verarbeiten
  - Pipeline Forwarding
  - Sprungvorhersage
  - Superskalarität (parallele Ausführungseinheiten)
  - Caches
  - virtueller Speicher
  - Interrupts
  - Stack

  ...

Rechnerarchitektur

Zwei Aspekte der Rechnerarchitektur

1. Hardwarestruktur: Art und Anzahl der Hardware-Betriebsmittel und deren Verbindungsstruktur
   - = Mikroarchitektur, hier z.B. Harvard-Architektur
2. Operationsprinzip: das funktionelle Verhalten der Architektur
   - = ISA – **I**nstruction **S**et **A**rchitecture
   - = Programmierschnittstelle

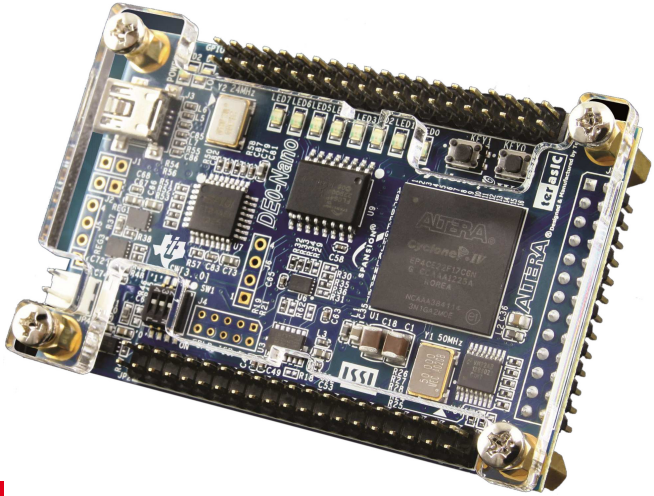
⇒ Möglichkeiten zur Arbeit in dem Projekt

Arbeit in dem Projekt

1. Hardware-Bezug
   - VHDL-Implementation der zugrundeliegenden Architektureinheiten
   - Simulation der Hardwareeinheiten
   - Synthesewerkzeuge zur Implementation
2. Software-Bezug
   - Assembler
   - Demonstrations- / Anwendungsprogramm
   - Compiler
   - Betriebssystemfunktionalität

Realisierung des Systems

FPGA-Prototypenplatine



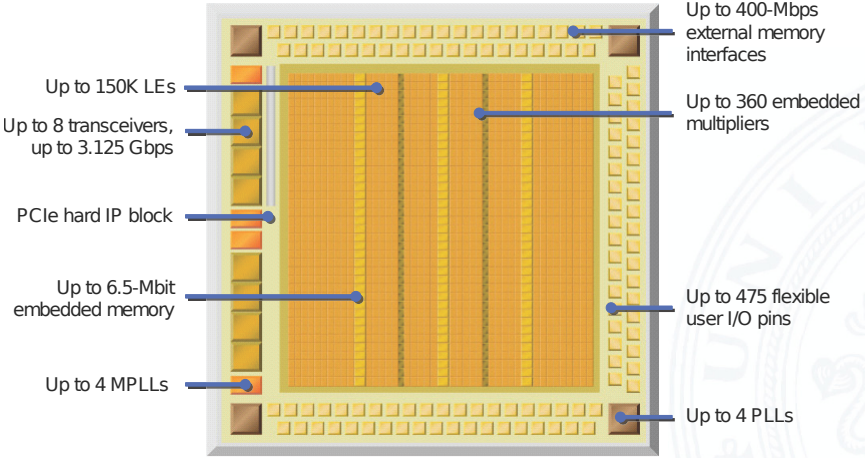
Field **P**rogrammable **G**ate **A**rray

„Programmierbare Hardware“: kann durch Konfiguration so geschaltet und verbunden werden, dass sich beliebige Netzlisten aus logischen Gattern, Flipflops, Addierern, etc. realisieren lassen

1. Schaltnetze $\Rightarrow$ boole‘sche Funktionen
2. Schaltwerke $\Rightarrow$ endliche Automaten
3. komplexe Systeme $\Rightarrow$ Prozessoren, etc.

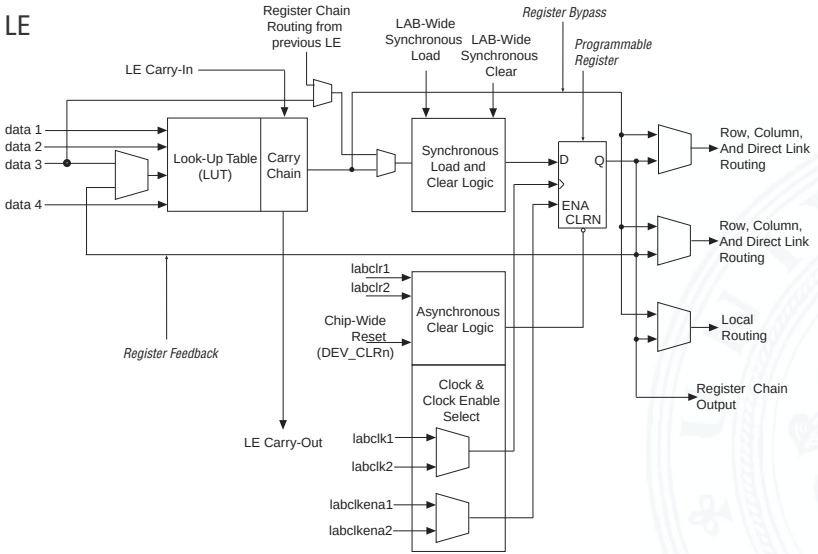
FPGA (cont.)

- Altera CycloneIV



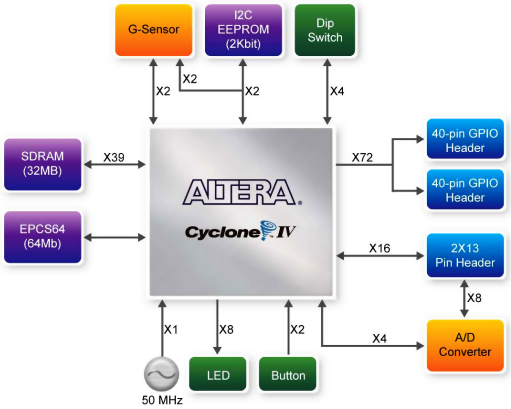
FPGA (cont.)

- LE


Register Chain Routing from previous LE
LAB-Wide Synchronous Load
LAB-Wide Synchronous Clear
Register Bypass
Programmable Register
LE Carry-In
data 1
data 2
data 3
data 4
Look-Up Table (LUT)
Carry Chain
Synchronous Load and Clear Logic
D
Q
ENA
CLRN
Row, Column, And Direct Link Routing
Row, Column, And Direct Link Routing
labclr1
labclr2
Chip-Wide Reset (DEV_CLRn)
Asynchronous Clear Logic
Local Routing
Register Feedback
Clock & Clock Enable Select
Register Chain Output
LE Carry-Out
labclk1
labclk2
labclkena1
labclkena2

DE0-Nano

- programmierbare Hardware: FPGA
  - Cyclone IV EP4CE22F17C6N [60 nm Prozess, 2009]
  - 153 I/O Pins, gesamt 256 Pins
  - 22 320 LEs $\approx$ 270 000 Gatter
  - 594 Kbit (interner) Speicher
  - 66 HW-Multiplizierer: 18 $\times$ 18 bit
  - 4 PLLs
- On-Board Speicher
  - 32MB SDRAM
  - 2Kbit I^{2}C EEPROM
- Konfiguration
  - über USB Schnittstelle
  - Power-On Konfig. aus Flash (EPCS64)



DE0-Nano (cont.)

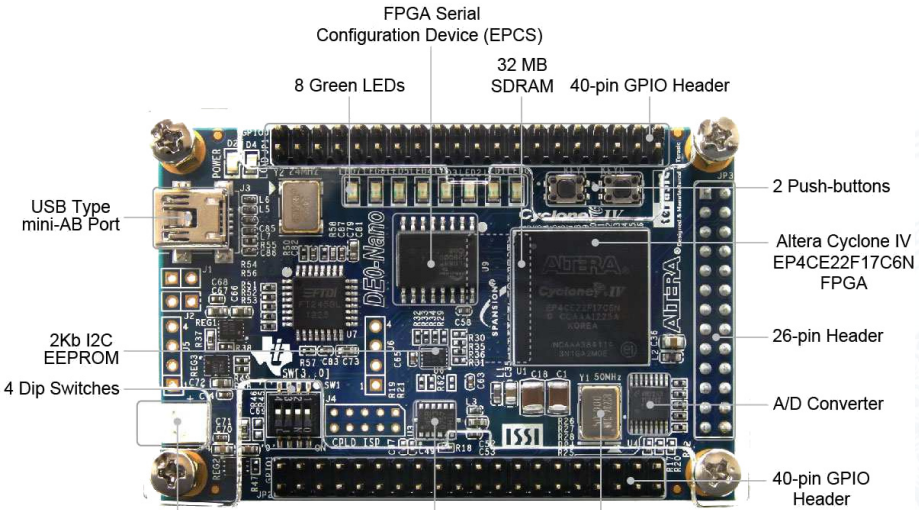
- Ein-/Ausgabe
  - 8 LEDs
  - 2 Taster
  - 4 DIP Schalter
- Beschleunigungssensor: ADXL 345, 3-Achsen, 13-bit Auflösung
- A/D Wandler: ADC128S022, 8-Kanal, 12-bit Auflösung
- Erweiterungsstecker
  - 2×40-Pin: 72 I/O Pins + Spannungsversorgung; 5V, 3,3V, Gnd
  - 26-Pin: 16 I/O Pins + 8 analoge Eingänge

z.B. Verbindung zu (Character-) Display

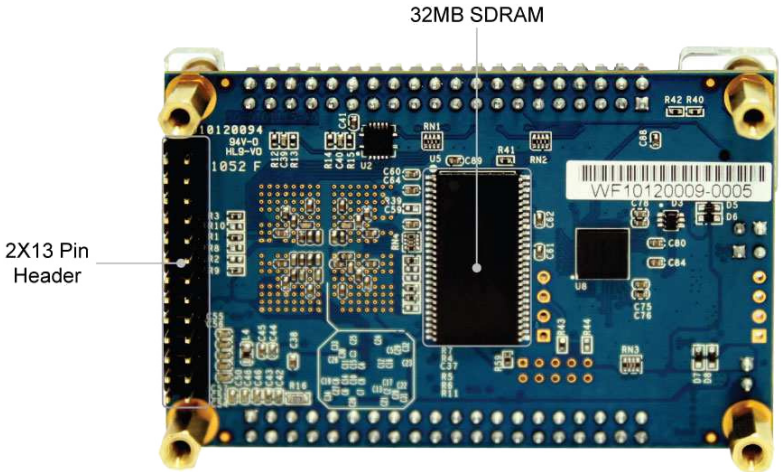
- vordefinierte IP-Schnittstelle: `cDisp14x6`
- 14×6 Zeichen



DE0-Nano (cont.)



DE0-Nano (cont.)



Ablauf

■	Grundlagenvermittlung / Vorlesung	Plenum
1.	Festlegung der ISA	Plenum
2.a	Hardwareentwurf	Kleingruppen
2.b	Softwareentwurf	Kleingruppen
–	Koordination	Plenum
–	Diskussion der Ergebnisse	Plenum

⇒ Projektbericht als Abschluss

Terminplanung

15.10. *„Rechnerarchitektur: ISA / Pipelining / Speicherhierarchie“*

22.10. *„Einführung in VHDL“* [ggf. *„VLSI- und Systementwurf“*]

29.10. *„Einführung in VHDL“*

\+ praktische Übungen mit den EDA-Werkzeugen

05.11. Gruppenbildung + -arbeit

…