



64-040 Modul InfB-RS: Rechnerstrukturen

[https://tams.informatik.uni-hamburg.de/
lectures/2016ws/vorlesung/rs](https://tams.informatik.uni-hamburg.de/lectures/2016ws/vorlesung/rs)

– Kapitel 14 –

Andreas Mäder



Universität Hamburg
Fakultät für Mathematik, Informatik und Naturwissenschaften
Fachbereich Informatik
Technische Aspekte Multimodaler Systeme

Wintersemester 2016/2017



Instruction Set Architecture

Speicherorganisation

Befehlssatz

Befehlsformate

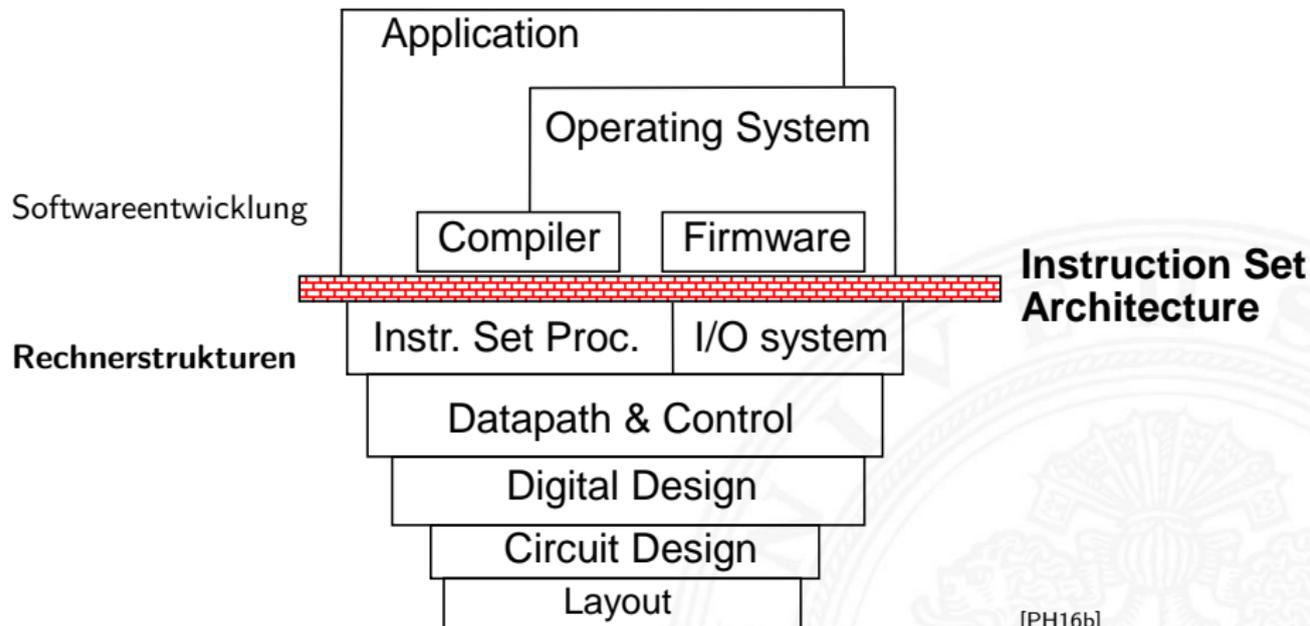
Adressierungsarten

Intel x86-Architektur

Befehlssätze

Literatur



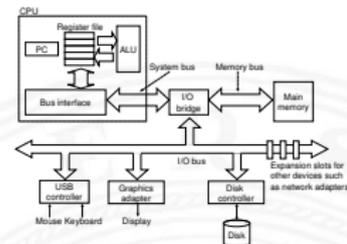


ISA – Instruction **S**et **A**rchitecture

⇒ alle für den Programmierer sichtbaren Attribute eines Rechners

- ▶ der (konzeptionellen) Struktur

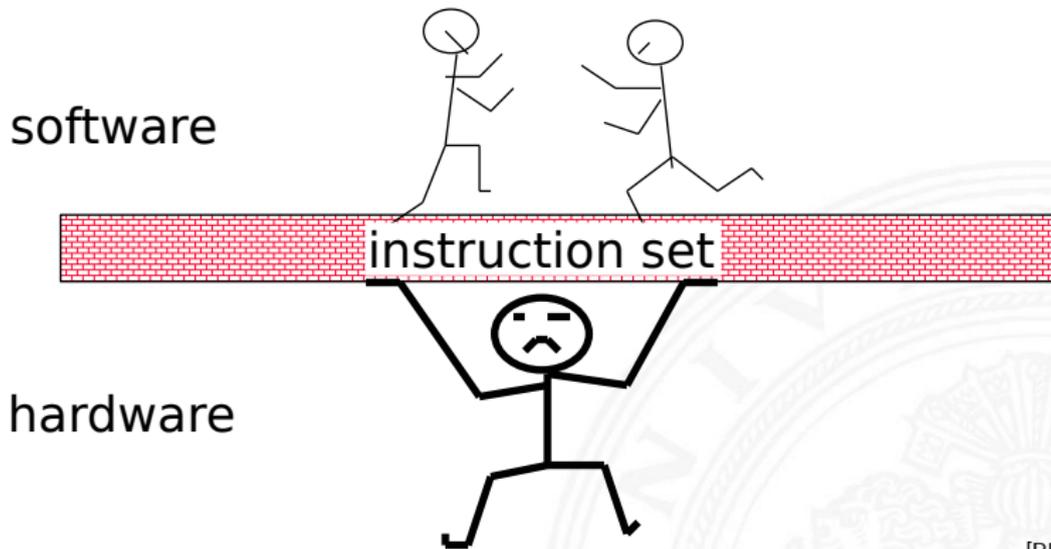
- ▶ Funktionseinheiten der Hardware:
Recheneinheiten, Speicher, Verbindungssysteme



- ▶ des Verhaltens

- ▶ Organisation des programmierbaren Speichers
- ▶ Datentypen und Datenstrukturen: Codierungen und Darstellungen
- ▶ Befehlssatz
- ▶ Befehlsformate
- ▶ Modelle für Befehls- und Datenzugriffe
- ▶ Ausnahmebedingungen

- ▶ Befehlssatz: die zentrale Schnittstelle



[PH16b]

Merkmale der Instruction Set Architecture

- ▶ Speichermodell Wortbreite, Adressierung, ...
- ▶ Rechnerklasse Stack-/Akku-/Registermaschine
- ▶ Registersatz Anzahl und Art der Rechenregister
- ▶ Befehlssatz Definition aller Befehle
- ▶ Art, Zahl der Operanden Anzahl/Wortbreite/Reg./Speicher
- ▶ Ausrichtung der Daten Alignment/Endianness
- ▶ Ein- und Ausgabe, Unterbrechungsstruktur (Interrupts)
- ▶ Systemsoftware Loader, Assembler, Compiler, Debugger

Artenvielfalt vom „Embedded Architekturen“

14 Instruction Set Architecture

64-040 Rechnerstrukturen

									
Prozessor	1 μ C	1 μ C	1 ASIC	1 μ P, ASIP	DSPs	1 μ P, 3 DSP	1 μ P, DSP	\approx 100 μ C, μ P, DSP	1 μ P, ASIP
[bit]	4...32	8	—	16...32	32	32	32	8...64	16...32
Speicher	1 K...1 M	< 8 K	< 1 K	1...64 M	1...64 M	< 512 M	8...64 M	1 K...10 M	< 64 M
Netzwerk	cardIO	—	RS232	diverse	GSM	MIDI	V.90	CAN, ...	I ² C, ...
Echtzeit	—	—	soft	soft	hard	soft	hard	hard	hard
Sicherheit	keine	mittel	keine	gering	gering	gering	gering	hoch	hoch

- ▶ riesiges Spektrum: 4...64 bit Prozessoren, DSPs, digitale/analoge ASICs, ...
- ▶ Sensoren/Aktoren: Tasten, Displays, Druck, Temperatur, Antennen, CCD, ...
- ▶ sehr unterschiedliche Anforderungen:
Echtzeit, Sicherheit, Zuverlässigkeit, Leistungsaufnahme, Abwärme,
Temperaturbereich, Störstrahlung, Größe, Kosten etc.



- ▶ Adressierung
- ▶ Wortbreite, Speicherkapazität
- ▶ „Big Endian“ / „Little Endian“
- ▶ „Alignment“
- ▶ „Memory-Map“
- ▶ Beispiel: PC mit Windows

- ▶ spätere Themen
 - ▶ Cache-Organisation für schnelleren Zugriff
 - ▶ Virtueller Speicher für Multitasking
 - ▶ Synchronisation in Multiprozessorsystemen (MESI-Protokoll)

- ▶ Abspeichern von Zahlen, Zeichen, Strings?
 - ▶ kleinster Datentyp üblicherweise ein Byte (8-bit)
 - ▶ andere Daten als Vielfache: 16-bit, 32-bit, 64-bit, ...

- ▶ Organisation und Adressierung des Speichers?
 - ▶ Adressen typisch in Bytes angegeben
 - ▶ erlaubt Adressierung einzelner ASCII-Zeichen, usw.

- ▶ aber Maschine/Prozessor arbeitet wortweise
- ▶ Speicher daher ebenfalls wortweise aufgebaut
- ▶ typischerweise 32-bit oder 64-bit

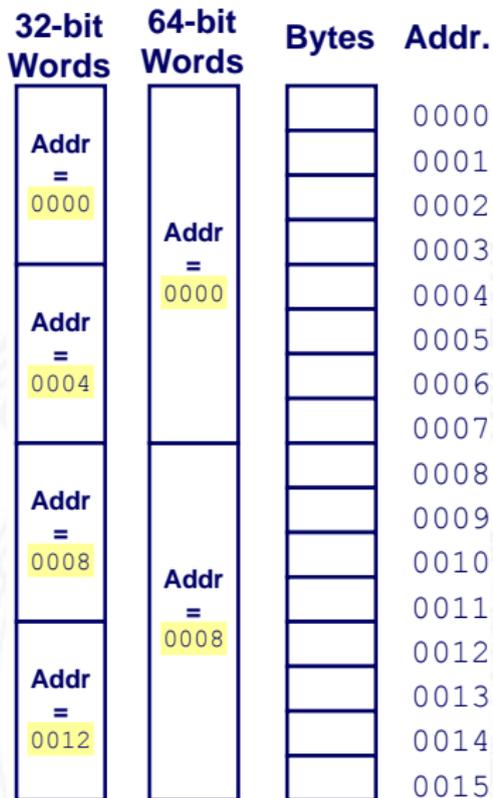
- ▶ Speicherwortbreiten historisch wichtiger Computer

Computer	Bits/Speicherzelle
Burroughs B1700	1
IBM PC	8
DEC PDP-8	12
IBM 1130	16
DEC PDP-15	18
XDS 940	24
Electrologica X8	27
XDS Sigma 9	32
Honeywell 6180	36
CDC 3600	48
CDC Cyber	60

- ▶ heute dominieren 8/16/32/64-bit Systeme
- ▶ erlaubt 8-bit ASCII, 16-bit Unicode, 32-/64-bit Floating-Point
- ▶ Beispiel x86: „byte“, „word“, „double word“, „quad word“

Wort-basierte Organisation des Speichers

- ▶ Speicher Wort-orientiert
- ▶ Adressierung Byte-orientiert
 - ▶ die Adresse des ersten Bytes im Wort
 - ▶ Adressen aufeinanderfolgender Worte unterscheiden sich um 4 (32-bit Wort) oder 8 (64-bit)
 - ▶ Adressen normalerweise Vielfache der Wortlänge
 - ▶ verschobene Adressen „in der Mitte“ eines Worts oft unzulässig



[BO15]

- ▶ gängige Prozessoren unterstützen mehrere Datentypen
- ▶ entsprechend der elementaren Datentypen in C, Java, ...
- ▶ `void*` ist ein **Pointer** (Referenz, Speicheradresse)
- ▶ Beispiel für die Anzahl der Bytes:

C Datentyp	DEC Alpha	typ. 32-bit	Intel IA-32 (x86)
<code>int</code>	4	4	4
<code>long int</code>	8	4	4
<code>char</code>	1	1	1
<code>short</code>	2	2	2
<code>float</code>	4	4	4
<code>double</code>	8	8	8
<code>long double</code>	8	8	10/12
<code>void *</code>	8	4	4

Datentypen auf Maschinenebene (cont.)

Abhängigkeiten (!)

- ▶ Prozessor
- ▶ Betriebssystem
- ▶ Compiler

segment word size	16 bit			32 bit					64 bit				
	Microsoft	Borland	Watcom	Microsoft	Intel Windows	Borland	Watcom	Gnu v.3.x	Intel Linux	Microsoft	Intel Windows	Gnu	Intel Linux
bool	2	1	1	1	1	1	1	1	1	1	1	1	1
char	1	1	1	1	1	1	1	1	1	1	1	1	1
wchar_t		2		2	2	2	2	2	2	2	2	4	4
short int	2	2	2	2	2	2	2	2	2	2	2	2	2
int	2	2	2	4	4	4	4	4	4	4	4	4	4
long int	4	4	4	4	4	4	4	4	4	4	4	8	8
__int64				8	8			8	8	8	8	8	8
enum	2	2	1	4	4	4	4	4	4	4	4	4	4
float	4	4	4	4	4	4	4	4	4	4	4	4	4
double	8	8	8	8	8	8	8	8	8	8	8	8	8
long double	10	10	8	8	16	10	8	12	12	8	16	16	16
__m64				8	8					8	8	8	8
__m128				16	16					16	16	16	16
__m256					32					32	32	32	32
pointer	2	2	2	4	4	4	4	4	4	8	8	8	8
far pointer	4	4	4										
function pointer	2	2	2	4	4	4	4	4	4	8	8	8	8
data member pointer (min)	2	4	6	4	4	8	4	4	4	4	4	8	8
data member pointer (max)		4	6	12	12	8	12	4	4	12	12	8	8
member function pointer (min)	2	12	6	4	4	12	4	8	8	8	8	16	16
member function pointer (max)		12	6	16	16	12	16	8	8	24	24	16	16

www.agner.org/optimize/calling_conventions.pdf

Table 1 shows how many bytes of storage various objects use for different compilers.

- ▶ *Wie sollen die Bytes innerhalb eines Wortes angeordnet werden?*
- ▶ Speicher wort-basiert \Leftrightarrow Adressierung byte-basiert

Zwei Möglichkeiten / Konventionen:

- ▶ **Big Endian:** Sun, Mac, usw.
das MSB (*most significant byte*) hat die kleinste Adresse
das LSB (*least significant byte*) hat die höchste –"
- ▶ **Little Endian:** Alpha, x86
das MSB hat die höchste, das LSB die kleinste Adresse

satirische Referenz auf Gulliver's Reisen (Jonathan Swift)

Byte-Order: Beispiel

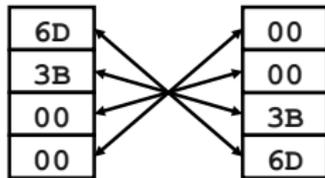
```
int A = 15213;  
int B = -15213;  
long int C = 15213;
```

Dezimal: 15213

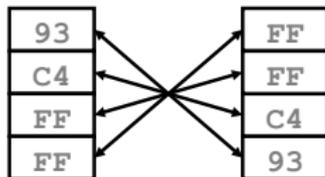
Binär: 0011 1011 0110 1101

Hex: 3 B 6 D

Linux/Alpha A Sun A



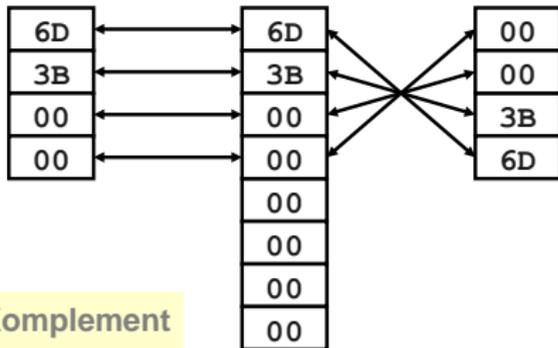
Linux/Alpha B Sun B



Linux c

Alpha c

Sun c



2-Komplement

Big Endian

Little Endian

[BO15]

Byte-Order: Beispiel Datenstruktur

```
/* JimSmith.c - example record for byte-order demo */

typedef struct employee {
    int    age;
    int    salary;
    char   name[12];
} employee_t;

static employee_t jimmy = {
    23,                // 0x0017
    50000,             // 0xc350
    "Jim Smith",      // J=0x4a i=0x69 usw.
};
```

Byte-Order: Beispiel x86 und SPARC

```
tams12> objdump -s JimSmith.x86.o
JimSmith.x86.o:      file format elf32-i386

Contents of section .data:
 0000 17000000 50c30000 4a696d20 536d6974  ....P...Jim Smit
 0010 68000000                                     h...

tams12> objdump -s JimSmith.sparc.o
JimSmith.sparc.o:   file format elf32-sparc

Contents of section .data:
 0000 00000017 0000c350 4a696d20 536d6974  ....PJim Smit
 0010 68000000                                     h...
```

- ▶ Byte-Order muss bei Datenübertragung zwischen Rechnern berücksichtigt und eingehalten werden
- ▶ Internet-Protokoll (IP) nutzt ein Big Endian Format
- ⇒ auf x86-Rechnern müssen alle ausgehenden und ankommenden Datenpakete umgewandelt werden
- ▶ zugehörige Hilfsfunktionen / Makros in `netinet/in.h`
 - ▶ inaktiv auf Big Endian, **byte-swapping** auf Little Endian
 - ▶ `ntohl(x)`: network-to-host-long
 - ▶ `htons(x)`: host-to-network-short
 - ▶ ...

Beispiel: Byte-Swapping *network to/from host*

Linux: /usr/include/bits/byteswap.h

```
...
/* Swap bytes in 32 bit value.  */
#define __bswap_32(x) \
    (((x) & 0xff000000) >> 24) | (((x) & 0x00ff0000) >> 8) |\
    (((x) & 0x0000ff00) << 8) | (((x) & 0x000000ff) << 24)
...
```

Linux: /usr/include/netinet/in.h

```
...
# if __BYTE_ORDER == __LITTLE_ENDIAN
#   define ntohl(x) __bswap_32 (x)
#   define ntohs(x) __bswap_16 (x)
#   define htonl(x) __bswap_32 (x)
#   define htons(x) __bswap_16 (x)
# endif
...
```

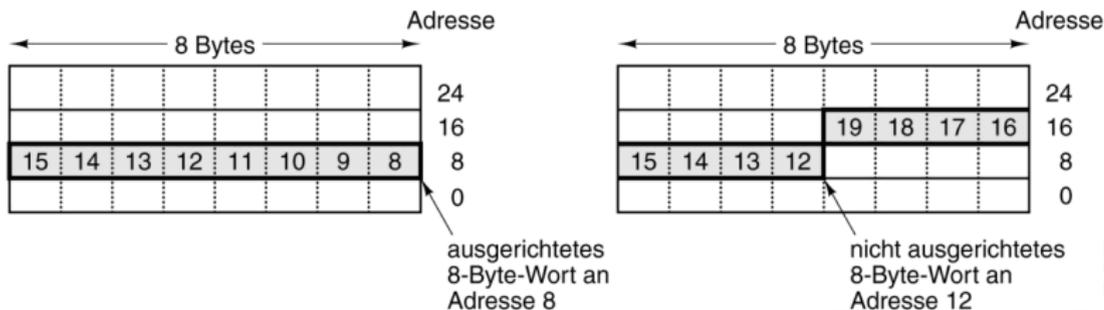
- ▶ Programm gibt Daten byteweise aus
- ▶ C-spezifische Typ- (Pointer-) Konvertierung
- ▶ Details: Bryant, O'Hallaron: 2.1.4 (Abb. 2.3, 2.4) [BO15]

```
void show_bytes( byte_pointer start, int len ) {
    int i;
    for( i=0; i < len; i++ ) {
        printf( " %.2x", start[i] );
    }
    printf( "\n" );
}

void show_double( double x ) {
    show_bytes( (byte_pointer) &x, sizeof( double ));
}

...
```

„Misaligned“ Zugriff



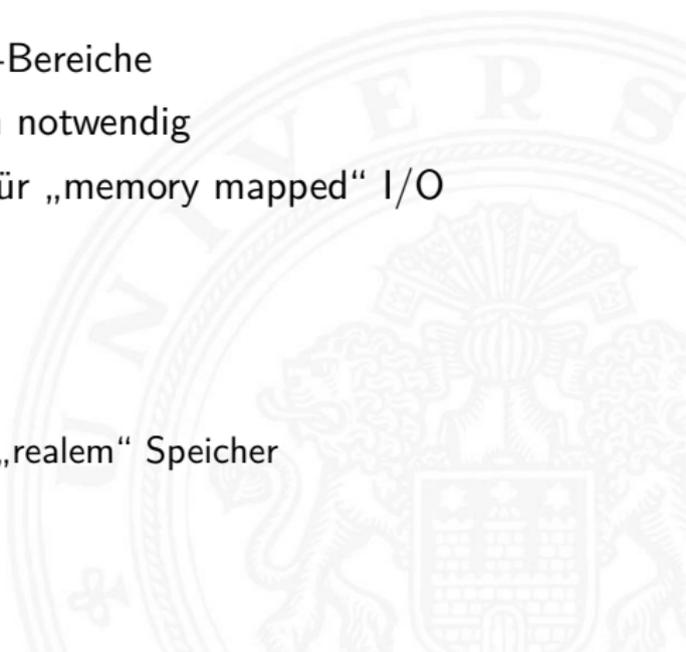
[TA14]

- ▶ Beispiel: 8-Byte-Wort in Little Endian Speicher
 - ▶ „aligned“ bezüglich Speicherwort
 - ▶ „non aligned“ an Byte-Adresse 12
 - ▶ Speicher wird (meistens) Byte-weise adressiert aber Zugriffe lesen/schreiben jeweils ein ganzes Wort
- ⇒ was passiert bei „krummen“ (*misaligned*) Adressen?
- ▶ automatische Umsetzung auf mehrere Zugriffe
 - ▶ Programmabbruch

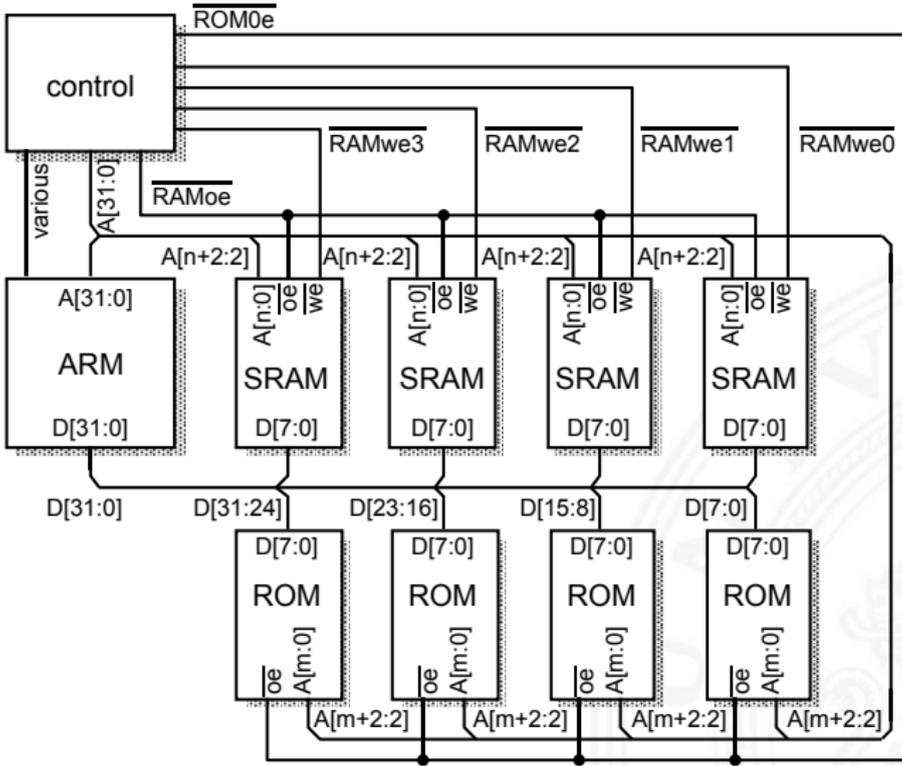
(x86)
(SPARC)



- ▶ CPU kann im Prinzip alle möglichen Adressen ansprechen
 - ▶ in der Regel: **kein voll ausgebauter Speicher**
32 bit Adresse entsprechen 4 GiB Hauptspeicher, 64 bit ...
 - ▶ Aufteilung in RAM und ROM-Bereiche
 - ▶ ROM mindestens zum Booten notwendig
 - ▶ zusätzliche Speicherbereiche für „memory mapped“ I/O
- ⇒ „Memory Map“
- ▶ Adressdecoder
 - ▶ Hardwareeinheit
 - ▶ Zuordnung von Adressen zu „realem“ Speicher



Memory Map: typ. 32-bit System



32-bit ARM Proz.
4 × 8-bit SRAMs
4 × 8-bit ROMs

[Fur00]

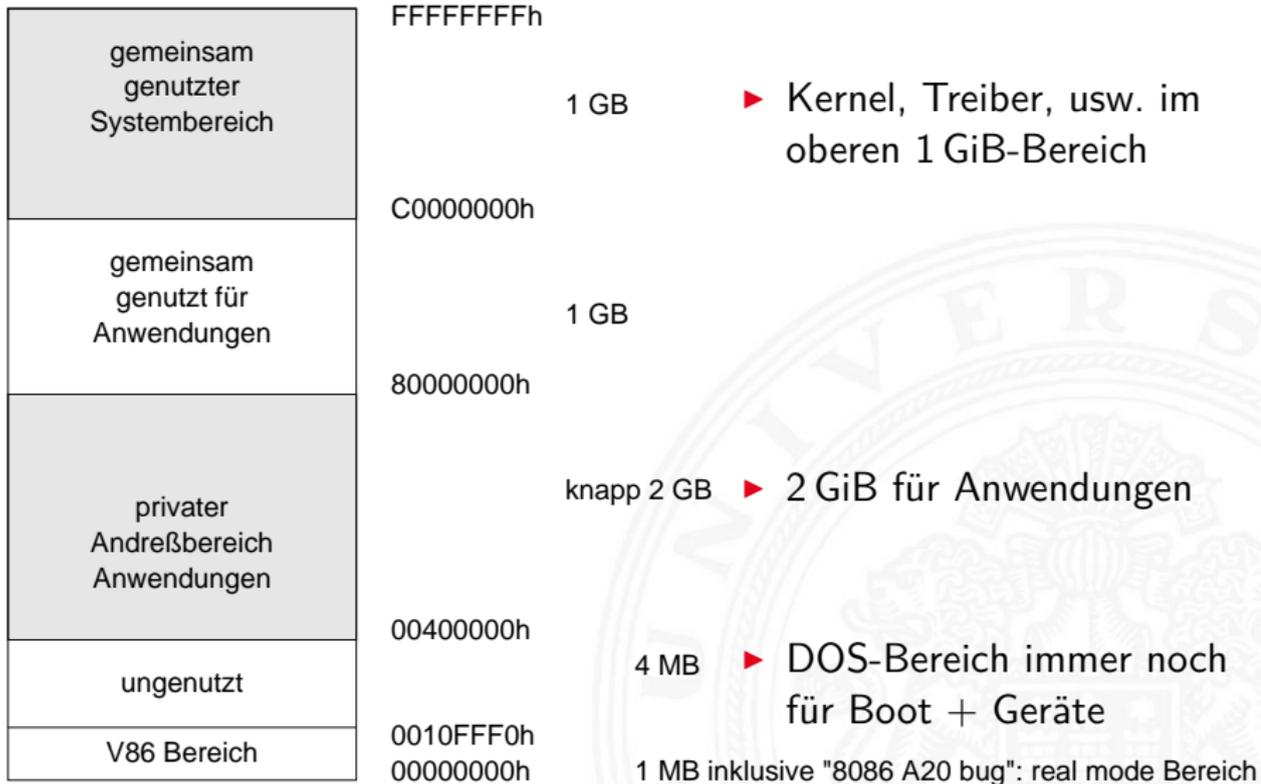


Memory Map: typ. 16-bit System

- ▶ 16-bit erlaubt 64K Adressen: 0x0000...0xFFFF
- ▶ ROM-Bereich für Boot / Betriebssystemkern
- ▶ RAM-Bereich für Hauptspeicher
- ▶ RAM-Bereich für Interrupt-Tabelle
- ▶ I/O-Bereiche für serielle / parallel Schnittstellen
- ▶ I/O-Bereiche für weitere Schnittstellen

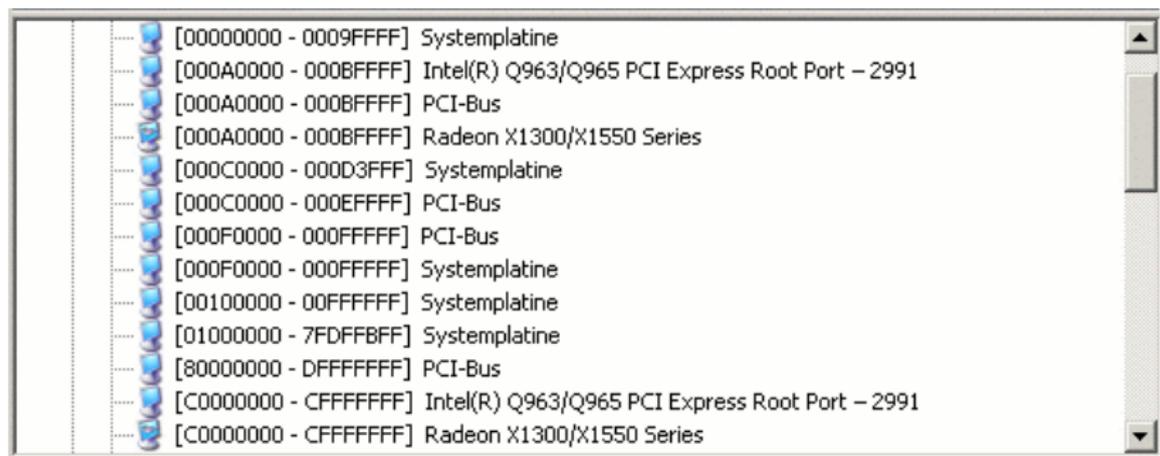
Demo und Beispiele: im RS-Praktikum (64-042)

Memory Map: Windows 9x



Memory Map: Windows 9x (cont.)

- ▶ 32-bit Adressen, 4 GiByte Adressraum
- ▶ Aufteilung 2 GiB für Programme, obere 1+1 GiB für Windows
- ▶ Beispiel der Zuordnung, diverse Bereiche für I/O reserviert



The screenshot displays a list of memory addresses and their corresponding hardware components. The list is as follows:

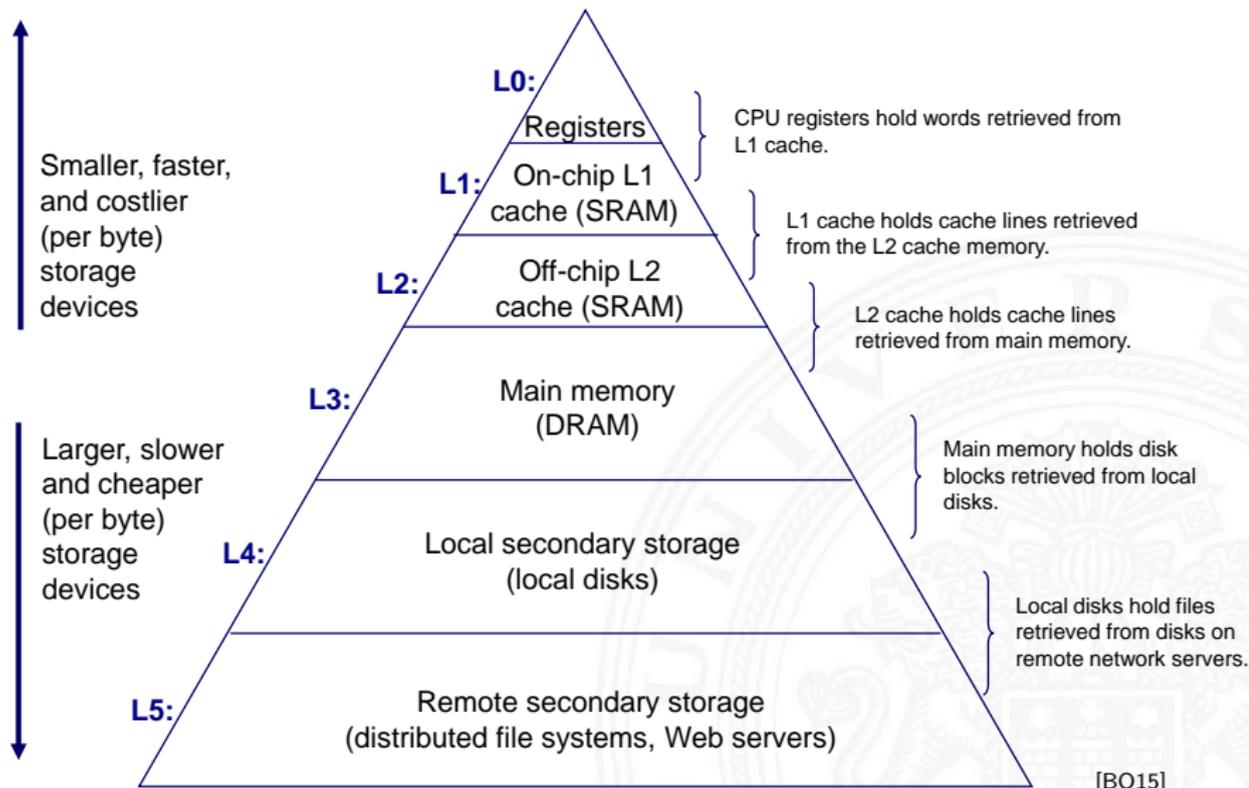
[00000000 - 0009FFFF]	Systemplatine
[000A0000 - 000BFFFF]	Intel(R) Q963/Q965 PCI Express Root Port - 2991
[000A0000 - 000BFFFF]	PCI-Bus
[000A0000 - 000BFFFF]	Radeon X1300/X1550 Series
[000C0000 - 000D3FFF]	Systemplatine
[000C0000 - 000EFFFF]	PCI-Bus
[000F0000 - 000FFFFFF]	PCI-Bus
[000F0000 - 000FFFFFF]	Systemplatine
[00100000 - 00FFFFFF]	Systemplatine
[01000000 - 7FDFFBFF]	Systemplatine
[80000000 - DFFFFFFF]	PCI-Bus
[C0000000 - CFFFFFFF]	Intel(R) Q963/Q965 PCI Express Root Port - 2991
[C0000000 - CFFFFFFF]	Radeon X1300/X1550 Series

I/O-Speicherbereiche

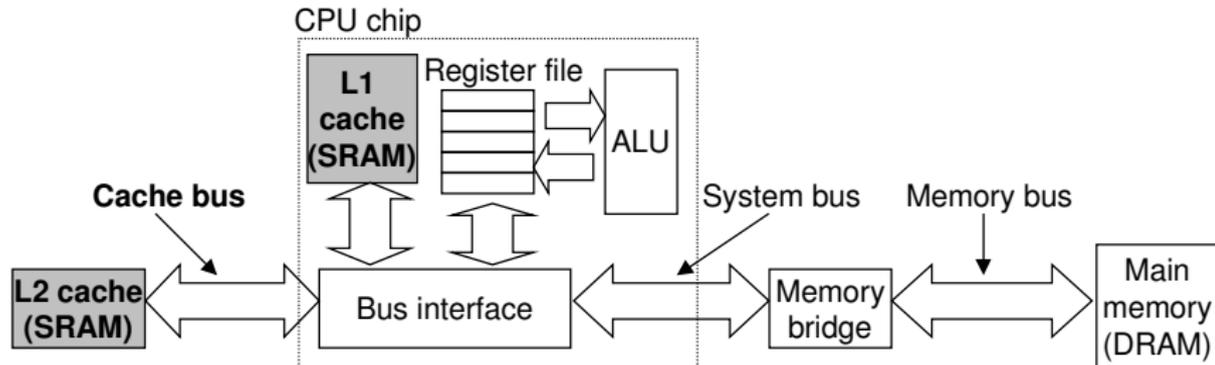


[00000378 - 0000037F]	ECP-Druckeranschluss (LPT1)
[00000380 - 0000038B]	Hauptplatinenressourcen
[000003B0 - 000003BB]	Intel(R) Q963/Q965 PCI Express Root Port - 2991
[000003B0 - 000003BB]	Radeon X1300/X1550 Series
[000003C0 - 000003DF]	Intel(R) Q963/Q965 PCI Express Root Port - 2991
[000003C0 - 000003DF]	Radeon X1300/X1550 Series
[000003C0 - 000003E7]	Hauptplatinenressourcen
[000003F0 - 000003F5]	Standard-Diskettenlaufwerkcontroller
[000003F6 - 000003F7]	Hauptplatinenressourcen
[000003F7 - 000003F7]	Standard-Diskettenlaufwerkcontroller
[000003F8 - 000003FF]	Kommunikationsanschluss (COM1)
[00000400 - 000004CF]	Hauptplatinenressourcen
[000004D0 - 000004D1]	Programmierbarer Interruptcontroller

- ▶ x86 I/O-Adressraum gesamt nur 64 KiByte
- ▶ je nach Zahl der I/O-Geräte evtl. fast voll ausgenutzt
- ▶ Adressen vom BIOS zugeteilt



später mehr...



[BO15]

- ▶ Cache Strategien
 - ▶ Welche Daten sollen in Cache?
 - ▶ Welche werden aus Cache entfernt?
- ▶ Cache Abbildung: direct-mapped, n-fach assoz., voll assoziativ
- ▶ Cache Organisation: Größe, Wortbreite, etc.

- ▶ Speicher ist nicht unbegrenzt
 - ▶ muss zugeteilt und verwaltet werden
 - ▶ viele Anwendungen werden vom Speicher dominiert
 - ▶ Fehler, die auf Speicher verweisen, sind besonders gefährlich
 - ▶ Auswirkungen sind sowohl zeitlich als auch räumlich entfernt
 - ▶ Speicherleistung ist nicht gleichbleibend
- Wechselwirkungen: Speichersystem \Leftrightarrow Programme
- ▶ „Cache“- und „Virtual“-Memory Auswirkungen können Performance/Programmleistung stark beeinflussen
 - ▶ Anpassung des Programms an das Speichersystem kann Geschwindigkeit bedeutend verbessern

→ siehe Kapitel „18 Speicherhierarchie“



- ▶ Befehlszyklus
- ▶ Befehlsklassen
- ▶ Registermodell
- ▶ n-Adress Maschine
- ▶ Adressierungsarten



- ▶ Prämisse: von-Neumann Prinzip
 - ▶ Daten und Befehle im gemeinsamen Hauptspeicher
- ▶ Abarbeitung des Befehlszyklus in Endlosschleife
 - ▶ Programmzähler PC adressiert den Speicher
 - ▶ gelesener Wert kommt in das Befehlsregister IR
 - ▶ Befehl decodieren
 - ▶ Befehl ausführen
 - ▶ nächsten Befehl auswählen
- ▶ minimal benötigte Register

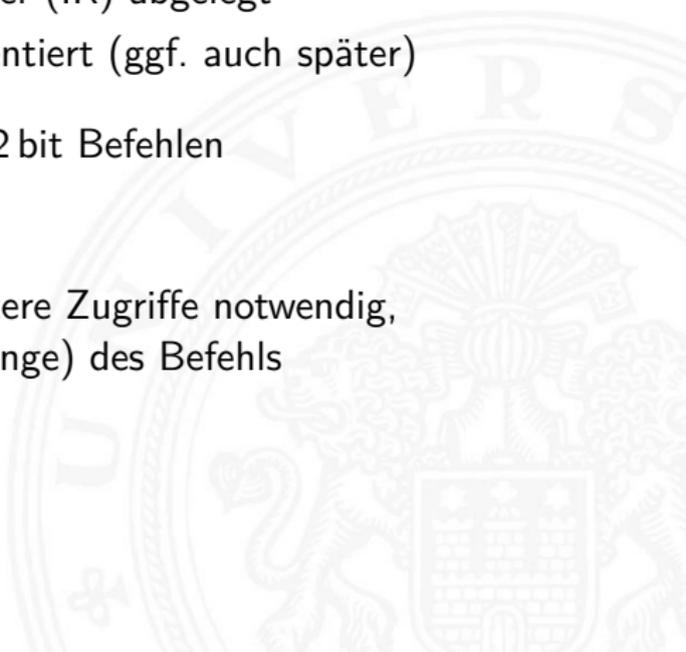
PC	Program Counter	Adresse des Befehls
IR	Instruction Register	aktueller Befehl
R0...R31	Registerbank	Rechenregister (Operanden)



Instruction Fetch

„Befehl holen“ Phase im Befehlszyklus

1. Programmzähler (PC) liefert Adresse für den Speicher
2. Lesezugriff auf den Speicher
3. Resultat wird im Befehlsregister (IR) abgelegt
4. Programmzähler wird inkrementiert (ggf. auch später)
 - ▶ Beispiel für 32 bit RISC mit 32 bit Befehlen
 - ▶ $IR = MEM[PC]$
 - ▶ $PC = PC + 4$
 - ▶ bei CISC-Maschinen evtl. weitere Zugriffe notwendig, abhängig von der Art (und Länge) des Befehls





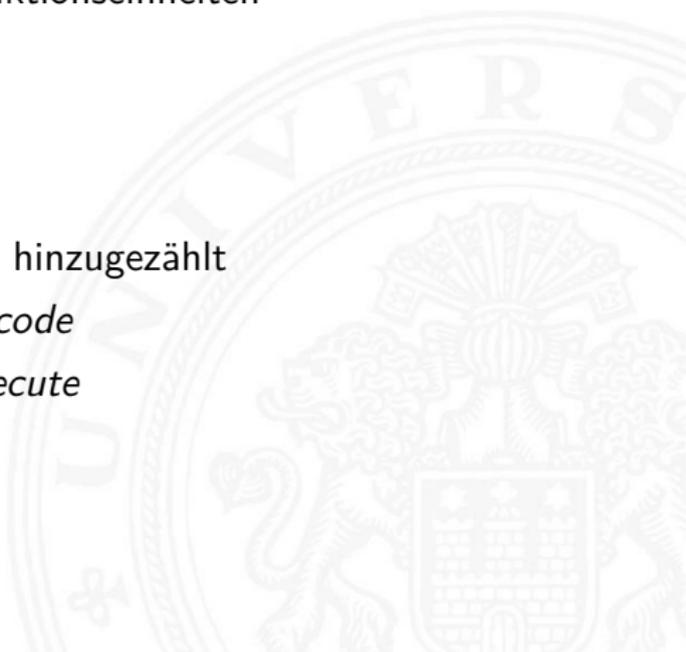
Instruction Decode

„Befehl decodieren“ Phase im Befehlszyklus

- ▷ Befehl steht im Befehlsregister IR
- 1. Decoder entschlüsselt Opcode und Operanden
- 2. leitet Steuersignale an die Funktionseinheiten

Operand Fetch

- ▶ wird meist zu anderen Phasen hinzugezählt
- RISC: Teil von *Instruction Decode*
- CISC: –"– *Instruction Execute*
1. Operanden holen

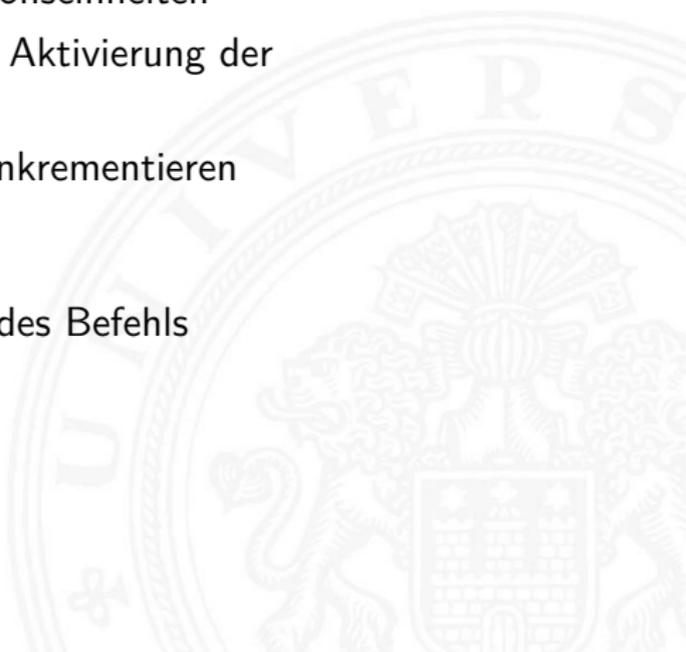




Instruction Execute

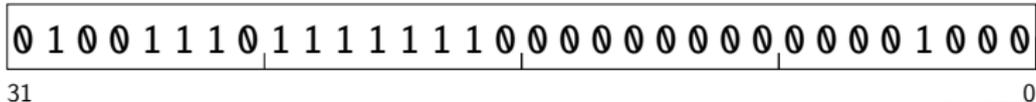
„Befehl ausführen“ Phase im Befehlszyklus

- ▷ Befehl steht im Befehlsregister IR
 - ▷ Decoder hat Opcode und Operanden entschlüsselt
 - ▷ Steuersignale liegen an Funktionseinheiten
 - 1. Ausführung des Befehls durch Aktivierung der Funktionseinheiten
 - 2. ggf. Programmzähler setzen/inkrementieren
-
- ▶ Details abhängig von der Art des Befehls
 - ▶ Ausführungszeit –“–
 - ▶ Realisierung
 - ▶ fest verdrahtete Hardware
 - ▶ mikroprogrammiert



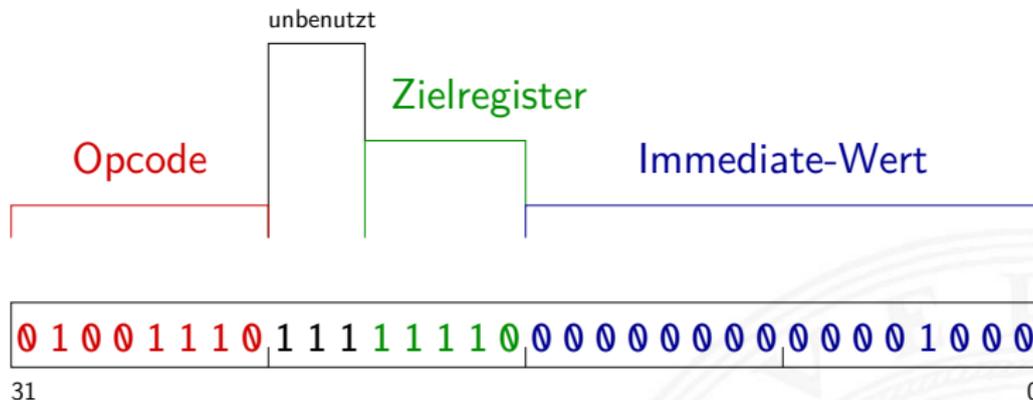
Befehlsklassen	Beispiele
▶ arithmetische Operationen	add, sub, inc, dec, mult, div
logische Operationen	and, or, xor
schiebe Operationen	shl, sra, srl, ror
▶ Vergleichsoperationen	cmpeq, cmpgt, cmplt
▶ Datentransfers	load, store, I/O
▶ Programm-Kontrollfluss	jump, jmqeq, branch, call, return
▶ Maschinensteuerung	trap, halt, (interrupt)
⇒ Befehlssätze und Computerarchitekturen	(Details später)
CISC – Complex Instruction Set Computer	
RISC – Reduced Instruction Set Computer	

- ▷ Befehlsregister IR enthält den aktuellen Befehl
- ▷ z.B. einen 32-bit Wert



Wie soll die Hardware diesen Wert interpretieren?

- ▶ direkt in einer Tabelle nachschauen (Mikrocode-ROM)
 - ▶ Problem: Tabelle müsste 2^{32} Einträge haben
- ⇒ Aufteilung in Felder: Opcode und Operanden
- ⇒ Decodierung über mehrere, kleine Tabellen
- ⇒ unterschiedliche Aufteilung für unterschiedliche Befehle:
Befehlsformate



- ▶ Befehlsformat: Aufteilung in mehrere Felder
 - ▶ Opcode eigentlicher Befehl
 - ▶ ALU-Operation add/sub/incr/shift/usw.
 - ▶ Register-Indizes Operanden / Resultat
 - ▶ Speicher-Adressen für Speicherzugriffe
 - ▶ Immediate-Operanden Werte direkt im Befehl
- ▶ Lage und Anzahl der Felder abhängig vom Befehlssatz



- ▶ MIPS: Beispiel für 32-bit RISC Architekturen
 - ▶ alle Befehle mit 32-bit codiert
 - ▶ nur 3 Befehlsformate (R, I, J)
- ▶ D-CORE: Beispiel für 16-bit Architektur
 - ▶ siehe RS-Praktikum (64-042) für Details
- ▶ Intel x86: Beispiel für CISC-Architekturen
 - ▶ irreguläre Struktur, viele Formate
 - ▶ mehrere Codierungen für einen Befehl
 - ▶ 1-Byte. . . 36-Bytes pro Befehl





- ▶ festes Befehlsformat
 - ▶ alle Befehle sind 32 Bit lang
- ▶ Opcode-Feld ist immer 6-bit breit
 - ▶ codiert auch verschiedene Adressierungsmodi

wenige Befehlsformate

- ▶ R-Format
 - ▶ Register-Register ALU-Operationen
- ▶ I-/J-Format
 - ▶ Lade- und Speicheroperationen
 - ▶ alle Operationen mit unmittelbaren Operanden
 - ▶ Jump-Register
 - ▶ Jump-and-Link-Register





MIPS: Übersicht

„Microprocessor without Interlocked Pipeline Stages“

- ▶ entwickelt an der Univ. Stanford, seit 1982
- ▶ Einsatz: eingebettete Systeme, SGI Workstations/Server

- ▶ klassische 32-bit RISC Architektur
- ▶ 32-bit Wortbreite, 32-bit Speicher, 32-bit Befehle
- ▶ 32 Register: R0 ist konstant Null, R1...R31 Universalregister
- ▶ Load-Store Architektur, nur base+offset Adressierung

- ▶ sehr einfacher Befehlssatz, 3-Adress-Befehle
- ▶ keinerlei HW-Unterstützung für „komplexe“ SW-Konstrukte
- ▶ SW muss sogar HW-Konflikte („Hazards“) vermeiden
- ▶ Koprozessor-Konzept zur Erweiterung

- ▶ 32 Register, R0...R31, jeweils 32-bit
- ▶ R1 bis R31 sind Universalregister
- ▶ R0 ist konstant Null (ignoriert Schreiboperationen)

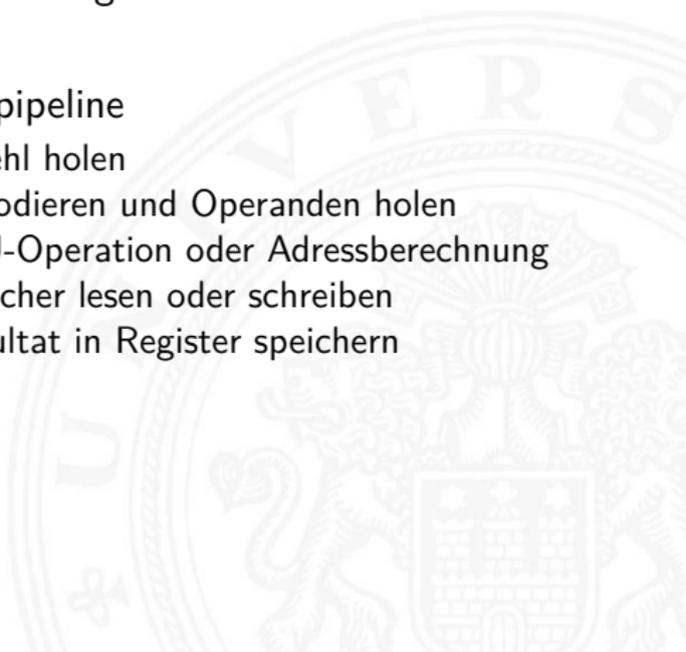
▶ R0 Tricks	R5 = -R5	sub	R5, R0, R5
	R4 = 0	add	R4, R0, R0
	R3 = 17	addi	R3, R0, 17
	if (R2 == 0)	bne	R2, R0, label

- ▶ keine separaten Statusflags
- ▶ Vergleichsoperationen setzen Zielregister auf 0 bzw. 1

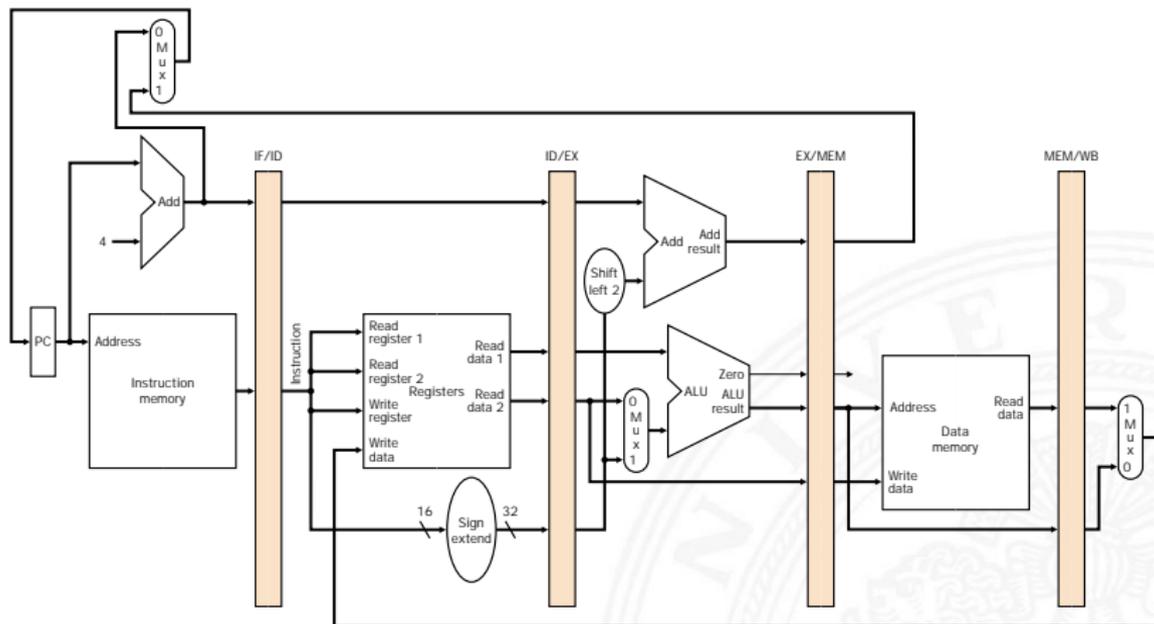
R1 = (R2 < R3)	slt	R1, R2, R3
----------------	-----	------------



- ▶ Übersicht und Details: [PH16a, PH16b]
David A. Patterson, John L. Hennessy: *Computer Organization and Design – The Hardware/Software Interface*
- ▶ dort auch hervorragende Erläuterung der Hardwarestruktur
- ▶ klassische fünf-stufige Befehlspipeline
 - ▶ Instruction-Fetch Befehl holen
 - ▶ Decode Decodieren und Operanden holen
 - ▶ Execute ALU-Operation oder Adressberechnung
 - ▶ Memory Speicher lesen oder schreiben
 - ▶ Write-Back Resultat in Register speichern



MIPS: Hardwarestruktur



[PH16b]

PC
I-Cache

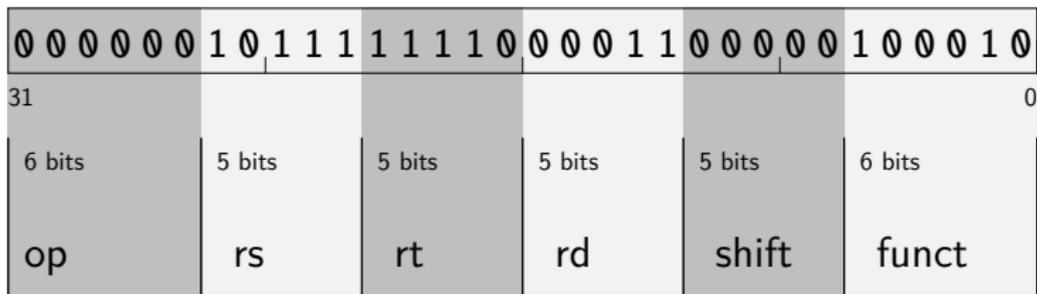
Register
(R0 .. R31)

ALUs

Speicher
D-Cache

MIPS: Befehlsformate

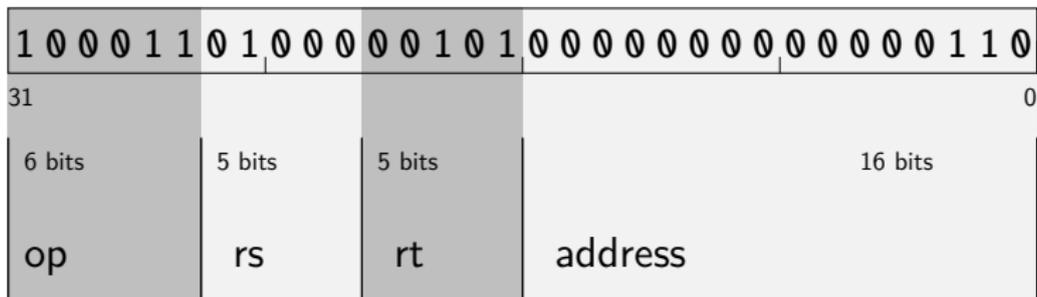
Befehl im R-Format



- ▶ op: Opcode Typ des Befehls 0 = „alu-op“
 - rs: source register 1 erster Operand 23 = „r23“
 - rt: source register 2 zweiter Operand 30 = „r30“
 - rd: destination register Zielregister 3 = „r3“
 - shift: shift amount (optionales Shiften) 0 = „0“
 - funct: ALU function Rechenoperation 34 = „sub“
- ⇒ r3 = r23 - r30 sub r3, r23, r30

MIPS: Befehlsformate

Befehl im I-Format



- ▶ op: Opcode Typ des Befehls 35 = „lw“
 - rs: base register Basisadresse 8 = „r8“
 - rt: destination register Zielregister 5 = „r5“
 - addr: address offset Offset 6 = „6“
- ⇒ $r5 = \text{MEM}[r8+6]$ `lw r5, 6(r8)`

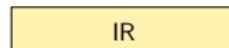
- ▶ 32-bit RISC Architektur, Motorola 1998
- ▶ besonders einfaches Programmiermodell
 - ▶ Program Counter PC
 - ▶ 16 Universalregister R0...R15
 - ▶ Statusregister C („carry flag“)
 - ▶ 16-bit Befehle (um Programmspeicher zu sparen)
- ▶ Verwendung
 - ▶ Mikrocontroller für eingebettete Systeme z.B. „*Smart Cards*“
 - ▶ siehe en.wikipedia.org/wiki/M.CORE

- ▶ ähnlich M-CORE
- ▶ gleiches Registermodell, aber nur 16-bit Wortbreite
 - ▶ Program Counter PC
 - ▶ 16 Universalregister R0...R15
 - ▶ Statusregister C („carry flag“)

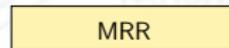
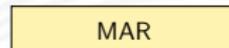
- ▶ Subset der Befehle, einfachere Codierung
- ▶ vollständiger Hardwareaufbau in Hades verfügbar
 - ▶ [HenHA] Hades Demo: `60-dcore/t3/chapter`
oder Simulator mit Assembler (alt)
 - ▶ `tams.informatik.uni-hamburg.de/publications/onlineDoc`
(`winT3asm.exe` / `t3asm.jar`)



- 16 Universalregister
- Programmzähler
- 1 Carry-Flag



- Befehlsregister

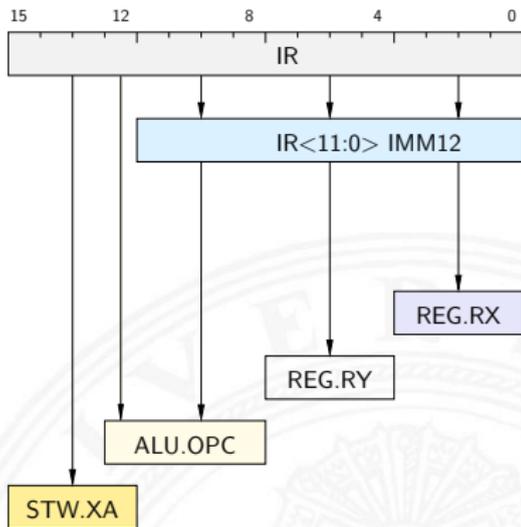
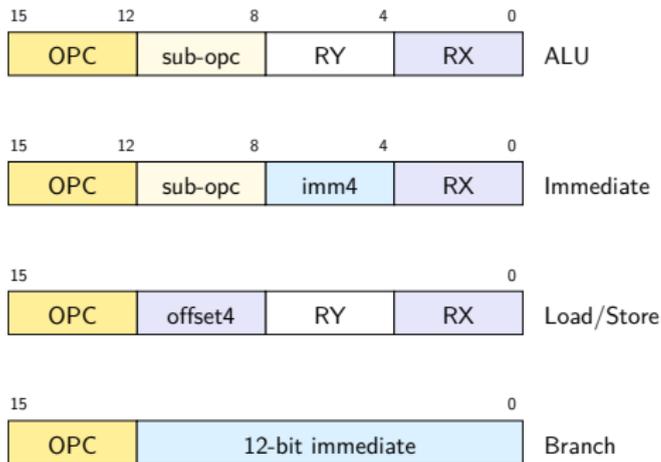


- Bus-Interface

► sichtbar für Programmierer: R0...R15, PC und C

Befehl	Funktion
mov	move register
addu, addc	Addition (ohne, mit Carry)
subu	Subtraktion
and, or, xor	logische Operationen
lsl, lsr, asr	logische, arithmetische Shifts
cmpe, cmpne, ...	Vergleichsoperationen
movi, addi, ...	Operationen mit Immediate-Operanden
ldw, stw	Speicherzugriffe, load/store
br, jmp	unbedingte Sprünge
bt, bf	bedingte Sprünge
jsr	Unterprogrammaufruf
trap	Software interrupt
rfi	return from interrupt

D-CORE: Befehlsformate



- ▶ 4-bit Opcode, 4-bit Registeradressen
- ▶ einfaches Zerlegen des Befehls in die einzelnen Felder



- ▶ Woher kommen die Operanden / Daten für die Befehle?
 - ▶ Hauptspeicher, Universalregister, Spezialregister
 - ▶ Wie viele Operanden pro Befehl?
 - ▶ 0- / 1- / 2- / 3-Adress Maschinen
 - ▶ Wie werden die Operanden adressiert?
 - ▶ immediate / direkt / indirekt / indiziert / autoinkrement / usw.
- ⇒ wichtige Unterscheidungsmerkmale für Rechnerarchitekturen
- ▶ Zugriff auf Hauptspeicher: $\approx 100 \times$ langsamer als Registerzugriff
 - ▶ möglichst Register statt Hauptspeicher verwenden (!)
 - ▶ „load/store“-Architekturen

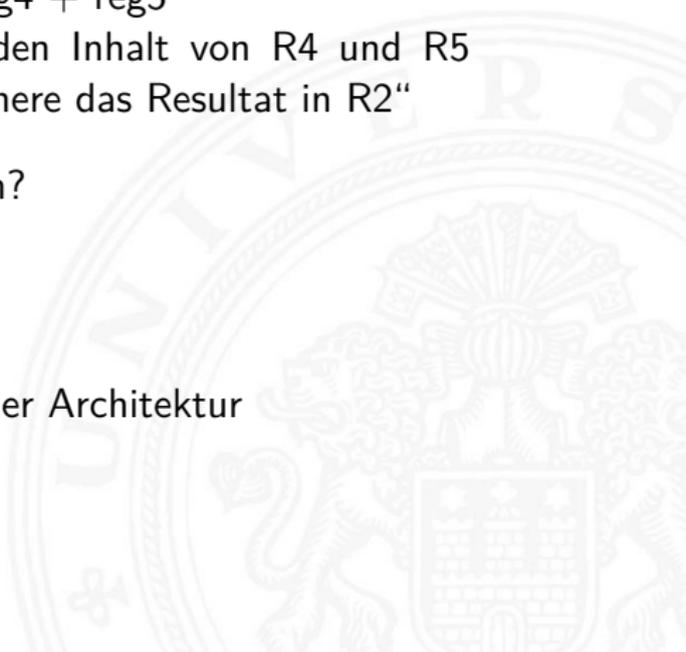


- ▷ Rechner soll „rechnen“ können
- ▷ typische arithmetische Operation nutzt 3 Variablen
Resultat, zwei Operanden: $X = Y + Z$

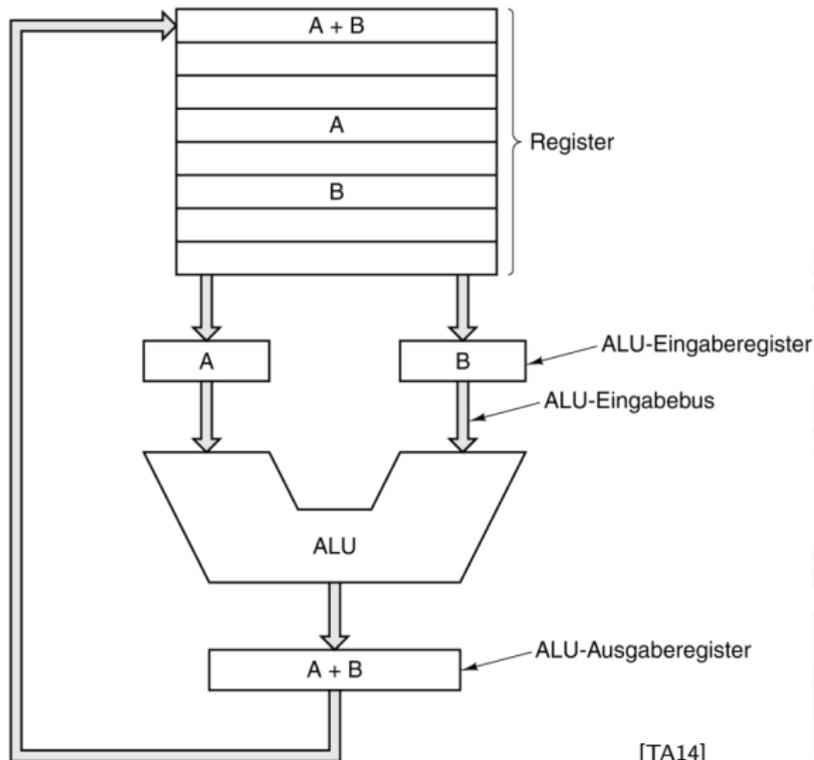
add r2, r4, r5 $\text{reg2} = \text{reg4} + \text{reg5}$

„addiere den Inhalt von R4 und R5
und speichere das Resultat in R2“

- ▶ woher kommen die Operanden?
- ▶ wo soll das Resultat hin?
 - ▶ Speicher
 - ▶ Register
- ▶ entsprechende Klassifikation der Architektur



- ▶ Register (-bank)
 - ▶ liefern Operanden
 - ▶ speichern Resultate
- ▶ interne Hilfsregister
- ▶ ALU, typ. Funktionen:
 - ▶ add, add-carry, sub
 - ▶ and, or, xor
 - ▶ shift, rotate
 - ▶ compare
 - ▶ (floating point ops.)

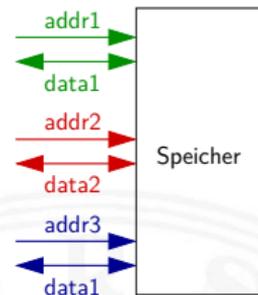


[TA14]

Woher kommen die Operanden?

▶ typische Architektur

- ▶ von-Neumann Prinzip: alle Daten im Hauptspeicher
- ▶ 3-Adress-Befehle: zwei Operanden, ein Resultat



⇒ „Multiport-Speicher“ mit drei Ports?

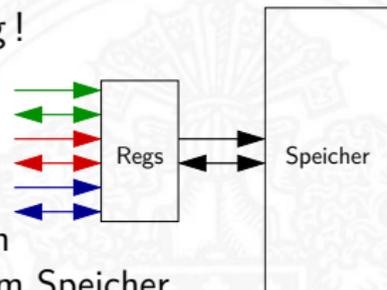
- ▶ sehr aufwändig, extrem teuer, trotzdem langsam

⇒ Register im Prozessor zur Zwischenspeicherung!

- ▶ Datentransfer zwischen Speicher und Registern

Load $\text{reg} = \text{MEM}[\text{addr}]$

Store $\text{MEM}[\text{addr}] = \text{reg}$



- ▶ RISC: Rechenbefehle arbeiten *nur* mit Registern
- ▶ CISC: gemischt, Operanden in Registern oder im Speicher



- 3-Adress Format
 - ▶ $X = Y + Z$
 - ▶ sehr flexibel, leicht zu programmieren
 - ▶ Befehl muss 3 Adressen codieren
- 2-Adress Format
 - ▶ $X = X + Z$
 - ▶ eine Adresse doppelt verwendet:
für Resultat und einen Operanden
 - ▶ Format wird häufig verwendet
- 1-Adress Format
 - ▶ $ACC = ACC + Z$
 - ▶ alle Befehle nutzen das Akkumulator-Register
 - ▶ häufig in älteren / 8-bit Rechnern
- 0-Adress Format
 - ▶ $TOS = TOS + NOS$
 - ▶ Stapelspeicher: *top of stack, next of stack*
 - ▶ Adressverwaltung entfällt
 - ▶ im Compilerbau beliebt

Beispiel: n-Adress Maschine

Beispiel: $Z = (A-B) / (C + D * E)$

Hilfsregister: T

3-Adress-Maschine

```
sub Z, A, B
mul T, D, E
add T, C, T
div Z, Z, T
```

2-Adress-Maschine

```
mov Z, A
sub Z, B
mov T, D
mul T, E
add T, C
div Z, T
```

1-Adress-Maschine

```
load D
mul E
add C
stor Z
load A
sub B
div Z
stor Z
```

0-Adress-Maschine

```
push E
push D
mul
push C
add
push B
push A
sub
div
pop Z
```

Beispiel: Stack-Maschine / 0-Adress Maschine

Beispiel: $Z = (A-B) / (C + D * E)$

0-Adress-Maschine

push E

push D

mul

push C

add

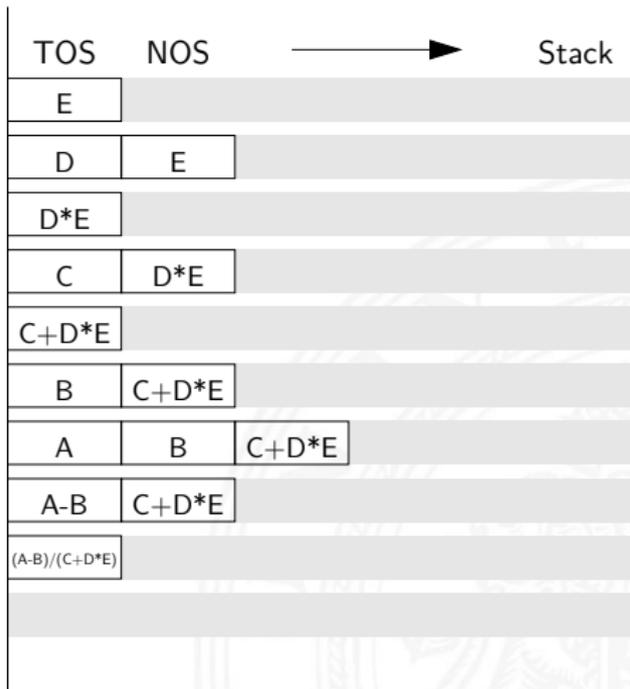
push B

push A

sub

div

pop Z



- ▶ „immediate“
 - ▶ Operand steht direkt im Befehl
 - ▶ kein zusätzlicher Speicherzugriff
 - ▶ aber Länge des Operanden beschränkt
- ▶ „direkt“
 - ▶ Adresse des Operanden steht im Befehl
 - ▶ keine zusätzliche Adressberechnung
 - ▶ ein zusätzlicher Speicherzugriff
 - ▶ Adressbereich beschränkt
- ▶ „indirekt“
 - ▶ Adresse eines Pointers steht im Befehl
 - ▶ erster Speicherzugriff liest Wert des Pointers
 - ▶ zweiter Speicherzugriff liefert Operanden
 - ▶ sehr flexibel (aber langsam)

- ▶ „register“
 - ▶ wie Direktmodus, aber Register statt Speicher
 - ▶ 32 Register: benötigen 5 bit im Befehl
 - ▶ genug Platz für 2- oder 3-Adress Formate
- ▶ „register-indirekt“
 - ▶ Befehl spezifiziert ein Register
 - ▶ mit der Speicheradresse des Operanden
 - ▶ ein zusätzlicher Speicherzugriff
- ▶ „indiziert“
 - ▶ Angabe mit Register und Offset
 - ▶ Inhalt des Registers liefert Basisadresse
 - ▶ Speicherzugriff auf (Basisadresse+offset)
 - ▶ ideal für Array- und Objektzugriffe
 - ▶ Hauptmodus in RISC-Rechnern (auch: „Versatz-Modus“)

Immediate Adressierung



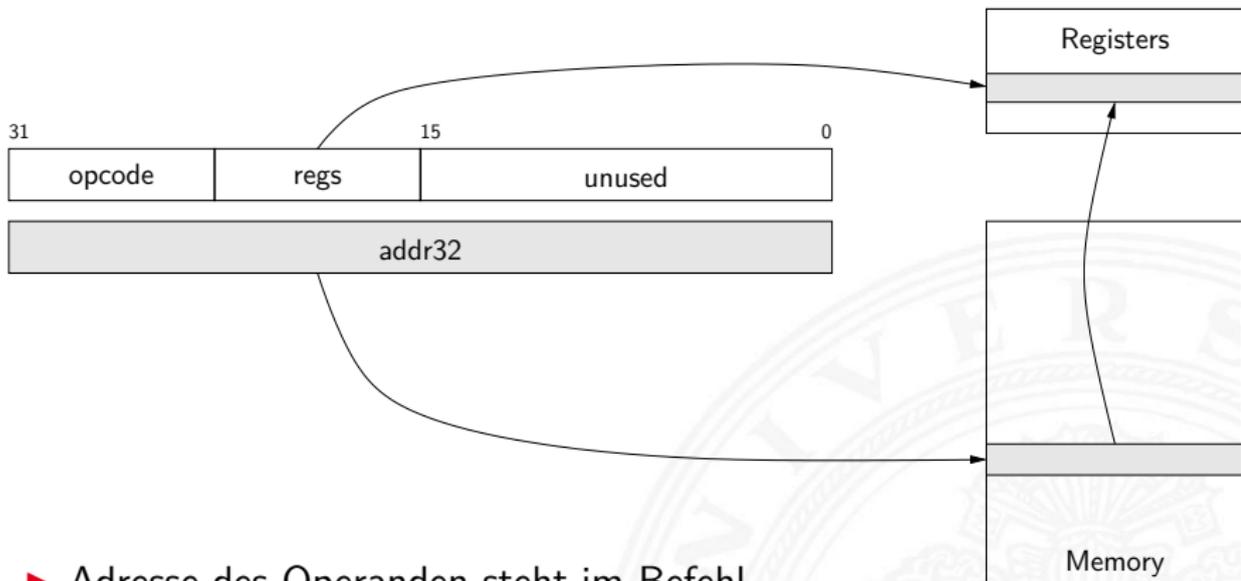
1-Wort Befehl



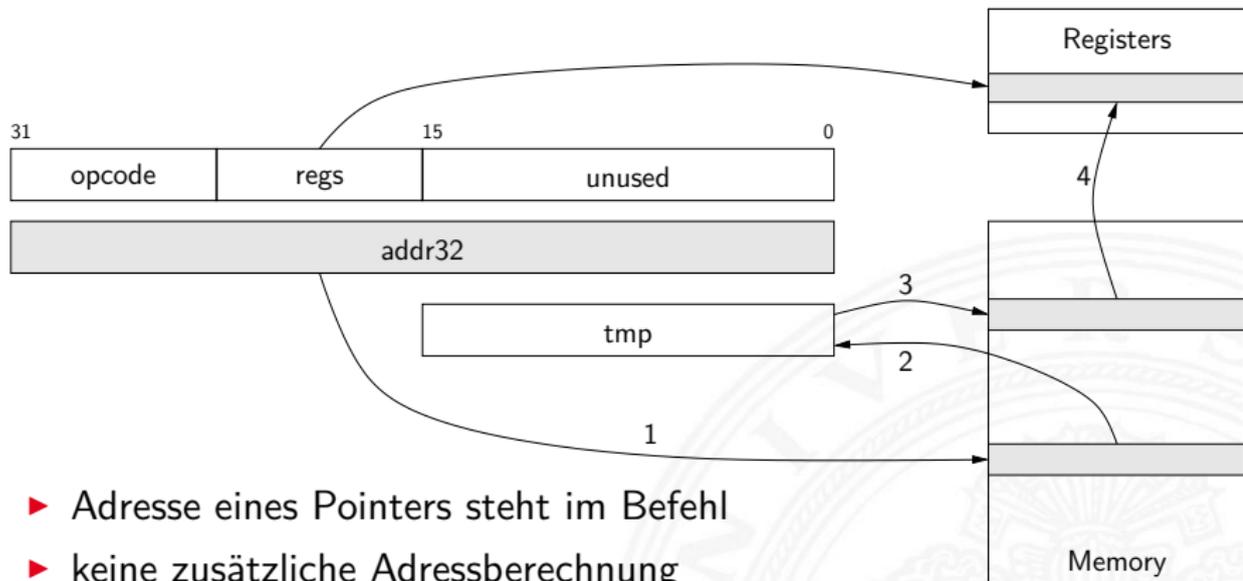
2-Wort Befehl



- ▶ Operand steht direkt im Befehl, kein zusätzlicher Speicherzugriff
- ▶ Länge des Operanden $<$ (Wortbreite - Opcodebreite)
- ▶ Darstellung größerer Zahlenwerte
 - ▶ 2-Wort Befehle (x86)
zweites Wort für Immediate-Wert
 - ▶ mehrere Befehle (MIPS, SPARC)
z.B. obere/untere Hälfte eines Wortes
 - ▶ Immediate-Werte mit zusätzlichem Shift (ARM)

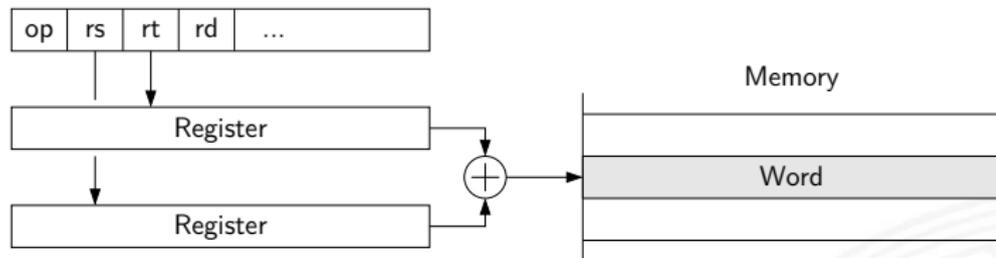


- ▶ Adresse des Operanden steht im Befehl
- ▶ keine zusätzliche Adressberechnung
- ▶ ein zusätzlicher Speicherzugriff: z.B. $R3 = \text{MEM}[\text{addr32}]$
- ▶ Adressbereich beschränkt, oder 2-Wort Befehl (wie Immediate)

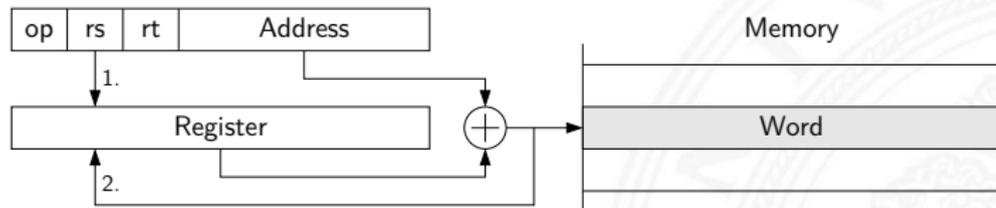


- ▶ Adresse eines Pointers steht im Befehl
- ▶ keine zusätzliche Adressberechnung
- ▶ zwei zusätzliche Speicherzugriffe:
z.B. $\text{tmp} = \text{MEM}[\text{addr32}] \quad \text{R3} = \text{MEM}[\text{tmp}]$
- ▶ typische CISC-Adressierungsart, viele Taktzyklen
- ▶ kommt bei RISC-Rechnern nicht vor

Indexaddressing



Updateaddressing



► indizierte Adressierung, z.B. für Arrayzugriffe

- $\text{addr} = \langle \text{Sourceregister} \rangle + \langle \text{Basisregister} \rangle$
- $\text{addr} = \langle \text{Sourceregister} \rangle + \text{offset};$
Sourceregister = addr



welche Adressierungsarten / -Varianten sind üblich?

- ▶ 0-Adress (Stack-) Maschine Java virtuelle Maschine
 - ▶ 1-Adress (Akkumulator) Maschine 8-bit Mikrocontroller
einige x86 Befehle
 - ▶ 2-Adress Maschine 16-bit Rechner
einige x86 Befehle
 - ▶ 3-Adress Maschine 32-bit RISC
-
- ▶ CISC Rechner unterstützen diverse Adressierungsarten
 - ▶ RISC meistens nur indiziert mit Offset
 - ▶ siehe en.wikipedia.org/wiki/Addressing_mode



- ▶ übliche Bezeichnung für die Intel-Prozessorfamilie
- ▶ von 8086, 80286, 80386, 80486, Pentium... Pentium 4, Core 2, Core-i...
- ▶ eigentlich „IA-32“ (Intel architecture, 32-bit)... „IA-64“

- ▶ irreguläre Struktur: CISC
- ▶ historisch gewachsen: diverse Erweiterungen (MMX, SSE, ...)
- ▶ Abwärtskompatibilität: IA-64 mit IA-32 Emulation
- ▶ ab 386 auch wie reguläre 8-Register Maschine verwendbar

Hinweis: niemand erwartet, dass Sie sich alle Details merken

Intel x86: Evolution

Chip	Datum	MHz	Transistoren	Speicher	Anmerkungen
4004	4/1971	0,108	2 300	640	erster Mikroprozessor auf einem Chip
8008	4/1972	0,108	3 500	16 KiB	erster 8-bit Mikroprozessor
8080	4/1974	2	6 000	64 KiB	„general-purpose“ CPU auf einem Chip
8086	6/1978	5–10	29 000	1 MiB	erste 16-bit CPU auf einem Chip
8088	6/1979	5–8	29 000	1 MiB	Einsatz im IBM-PC
80286	2/1982	8–12	134 000	16 MiB	„Protected-Mode“
80386	10/1985	16–33	275 000	4 GiB	erste 32-bit CPU
80486	4/1989	25-100	1,2M	4 GiB	integrierter 8K Cache
Pentium	3/1993	60–233	3,1M	4 GiB	zwei Pipelines, später MMX
Pentium Pro	3/1995	150–200	5,5M	4 GiB	integrierter first und second-level Cache
Pentium II	5/1997	233–400	7,5M	4 GiB	Pentium Pro plus MMX
Pentium III	2/1999	450–1 400	9,5–44M	4 GiB	SSE-Einheit
Pentium 4	11/2000	1 300–3 600	42–188M	4 GiB	Hyperthreading
Core-2	5/2007	1 600–3 200	143–410M	4 GiB	64-bit Architektur, Mehrkernprozessoren
Core-i...	11/2008	2,500–3,600	> 700M	64 GiB	Speichercontroller, Taktanpassung
...					GPU, I/O-Contr., Spannungsregelung...

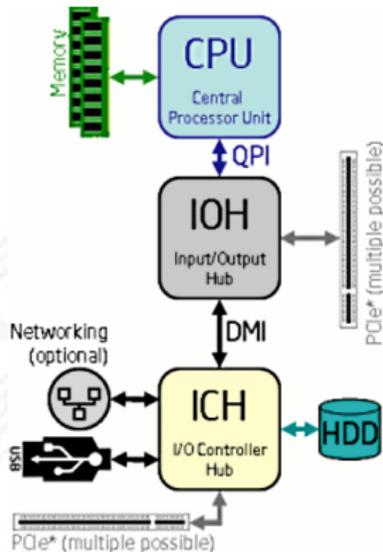
Beispiel: Core i7-960 Prozessor

14.5 Instruction Set Architecture - Intel x86-Architektur

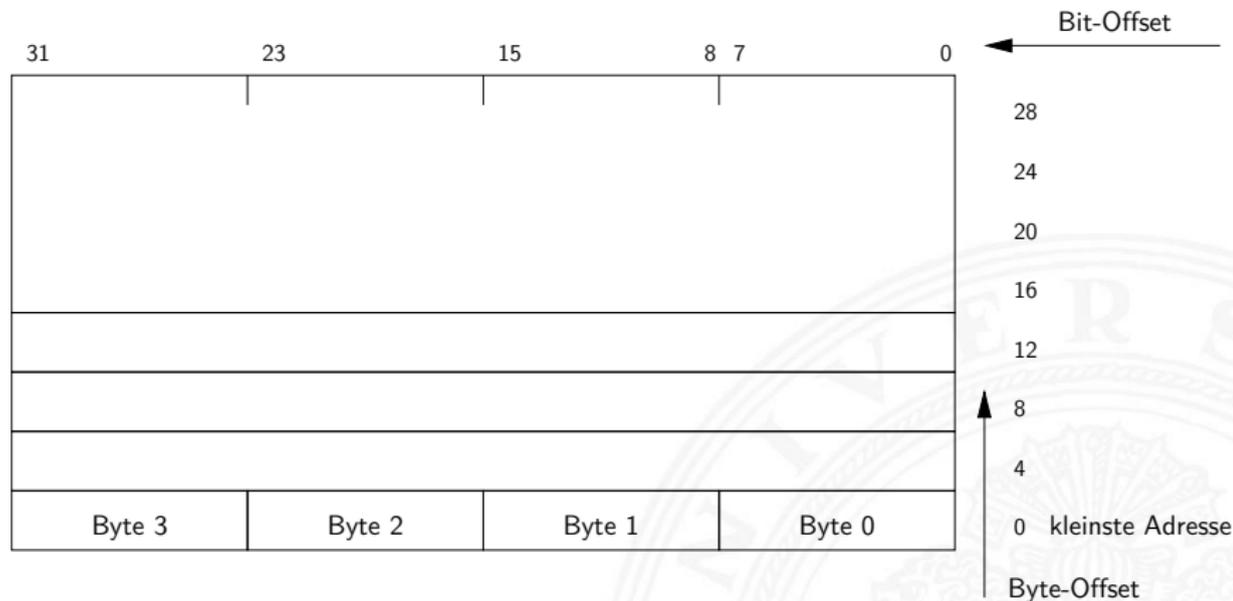
64-040 Rechnerstrukturen

Taktfrequenz	bis 3,46 GHz
Anzahl der Cores	4 (× 2 Hyperthreading)
QPI Durchsatz (quick path interconnect)	4,8 GT/s
Bus Interface	64 Bits
L1 Cache	4 × 32 KiB I + 32KiB D
L2 Cache	4 × 256 KiB (I+D)
L3 Cache	8192 KiB (I+D)
Prozess	45 nm
Versorgungsspannung	0,8 - 1,375V
Wärmeabgabe	~ 130 W
Performance (SPECint 2006)	~ 38

Quellen: ark.intel.com, www.spec.org



x86: Speichermodell

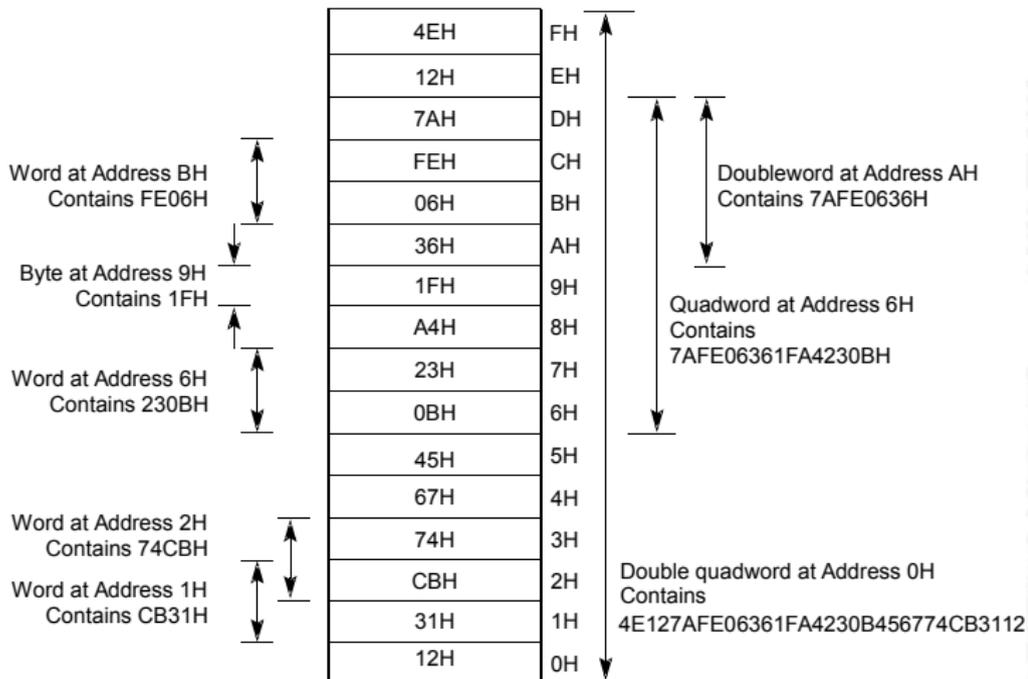


- ▶ „Little Endian“: LSB eines Wortes bei der kleinsten Adresse

- ▶ Speicher voll byte-adressierbar
- ▶ misaligned Zugriffe langsam

▶ Beispiel

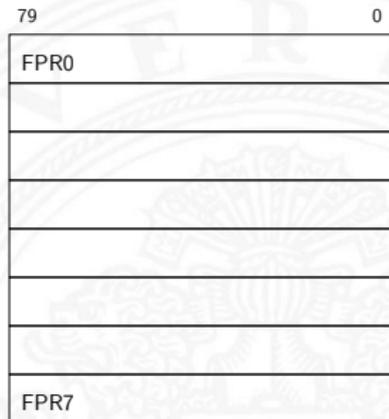
[IA64]



x86: Register

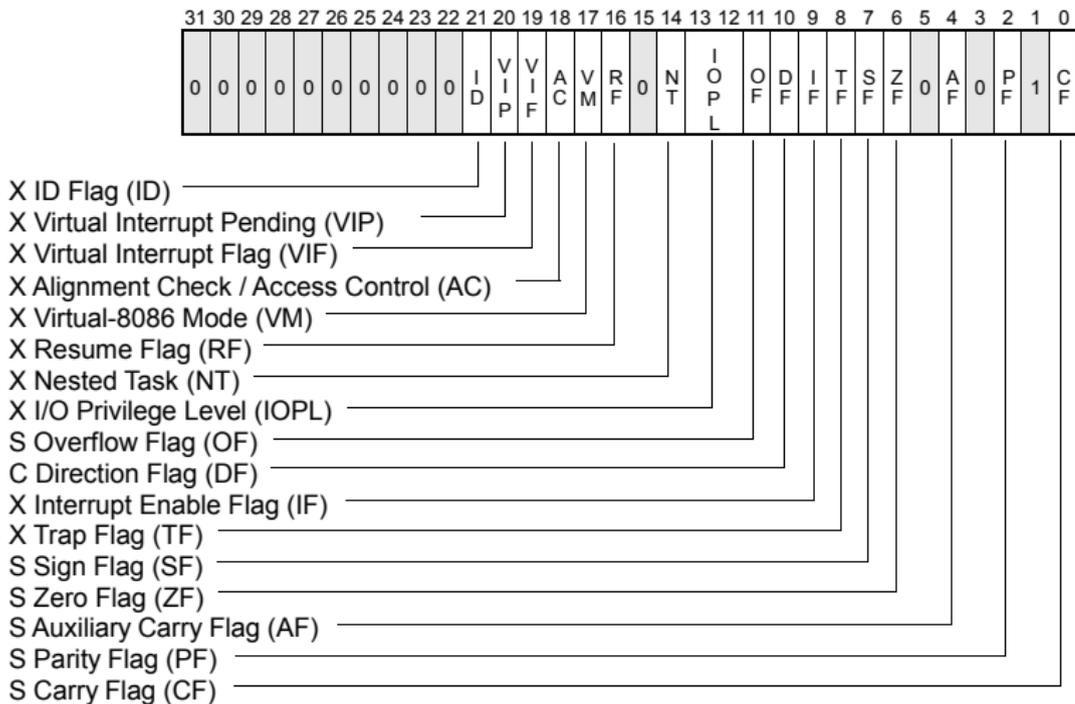
31	15	0
EAX	AX	AH AL
ECX	CX	CH CL
EDX	DX	DH DL
EBX	BX	BH BL
ESP	SP	
EBP	BP	
ESI	SI	
EDI	DI	
	CS	
	SS	
	DS	
	ES	
	FS	
	GS	
EIP	IP	
EFLAGS		

accumulator
count: String, Loop
data, multiply/divide
base addr
stackptr
base of stack segment
index, string src
index, string dst
code segment
stack segment
data segment
extra data segment
PC
status



FP Status

x86: EFLAGS Register



S Indicates a Status Flag

C Indicates a Control Flag

X Indicates a System Flag

 Reserved bit positions. DO NOT USE.
Always set to values previously read.

x86: Datentypen

bytes

word

doubleword

quadword

integer

(2-complement b/w/dw/qw)

ordinal

(unsigned b/w/dw/qw)

BCD

(one digit per byte, multiple bytes)

packed BCD

(two digits per byte, multiple bytes)

near pointer

(32 bit offset)

far pointer

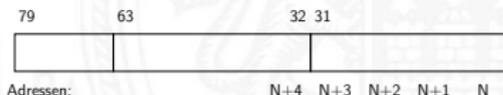
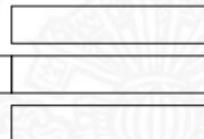
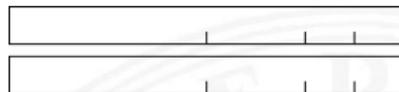
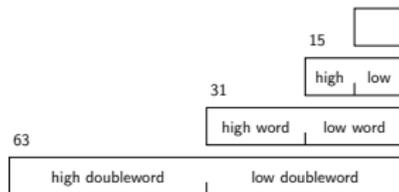
(16 bit segment + 32 bit offset)

bit field

bit string

byte string

float / double / extended



Funktionalität

Datenzugriff	mov, xchg
Stack-Befehle	push, pusha, pop, popa
Typumwandlung	cwd, cdq, cbw (byte→word), movsx,...
Binärarithmetik	add, adc, inc, sub, sbb, dec, cmp, neg, ... mul, imul, div, idiv,...
Dezimalarithmetik	(packed/unpacked BCD) daa, das, aaa,...
Logikoperationen	and, or, xor, not, sal, shr, shr,...
Sprungbefehle	jmp, call, ret, int, iret, loop, loopne,...
String-Operationen	ovs, cmps, scas, load, stos,...
„high-level“	enter (create stack frame),...
diverses	lahf (load AH from flags),...
Segment-Register	far call, far ret, lds (load data pointer)

- ▶ CISC: zusätzlich diverse Ausnahmen/Spezialfälle

▶ außergewöhnlich komplexes Befehlsformat

- | | |
|---------------------------|----------------------------------|
| 1. prefix | repeat / segment override / etc. |
| 2. opcode | eigentlicher Befehl |
| 3. register specifier | Ziel / Quellregister |
| 4. address mode specifier | diverse Varianten |
| 5. scale-index-base | Speicheradressierung |
| 6. displacement | Offset |
| 7. immediate operand | |

▶ außer dem Opcode alle Bestandteile optional

▶ unterschiedliche Länge der Befehle, von 1...36 Bytes

⇒ extrem aufwändige Decodierung

⇒ CISC – **C**omplex **I**nstruction **S**et **C**omputer

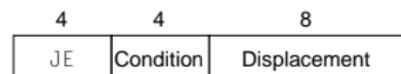
x86: Befehlsformat-Modifizier („prefix“)

- ▶ alle Befehle können mit Modifiern ergänzt werden

segment override	Adresse aus angewähltem Segmentregister
address size	Umschaltung 16/32-bit Adresse
operand size	Umschaltung 16/32-bit Operanden
repeat	Stringoperationen: für alle Elemente
lock	Speicherschutz bei Multiprozessorsystemen

x86 Befehlscodierung: Beispiele

a. JE EIP + displacement

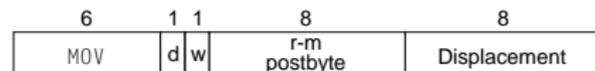


[PH16b]

b. CALL

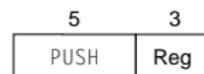


c. MOV EBX, [EDI + 45]



- ▶ 1 Byte. . . 36 Bytes
- ▶ vollkommen irregulär
- ▶ w: Auswahl 16/32 bit

d. PUSH ESI



e. ADD EAX, #6765



f. TEST EDX, #42



x86 Befehlscodierung: Beispiele (cont.)

Instruction	Function
JE name	If equal (CC) EIP = name; EIP - 128 ≤ name < EIP + 128
JMP name	{EIP = NAME};
CALL name	SP = SP - 4; M[SP] = EIP + 5; EIP = name;
MOVW EBX,[EDI + 45]	EBX = M [EDI + 45]
PUSH ESI	SP = SP - 4; M[SP] = ESI
POP EDI	EDI = M[SP]; SP = SP + 4
ADD EAX,#6765	EAX = EAX + 6765
TEST EDX,#42	Set condition codea (flags) with EDX & 42
MOVSL	M[EDI] = M[ESI]; EDI = EDI + 4; ESI = ESI + 4

[PH16b]

addr	opcode	assembler	c quellcode
		.file "hello.c"	
		.text	
0000	48656C6C 6F207838 36210A00	.string "Hello x86!\\n"	
		.text	
		print:	
0000	55	pushl %ebp	void print(char* s) {
0001	89E5	movl %esp,%ebp	
0003	53	pushl %ebx	
0004	8B5D08	movl 8(%ebp),%ebx	
0007	803B00	cmpb \$0,(%ebx)	while(*s != 0) {
000a	7418	je .L18	
		.align 4	
		.L19:	
000c	A100000000	movl stdout,%eax	putc(*s, stdout);
0011	50	pushl %eax	
0012	0FBEO3	movsbl (%ebx),%eax	
0015	50	pushl %eax	
0016	E8FCFFFFFF	call _IO_putc	
001b	43	incl %ebx	s++;
001c	83C408	addl \$8,%esp	}
001f	803B00	cmpb \$0,(%ebx)	
0022	75E8	jne .L19	
		.L18:	
0024	8B5DFC	movl -4(%ebp),%ebx	}
0027	89EC	movl %ebp,%esp	
0029	5D	popl %ebp	
002a	C3	ret	

x86: Assembler-Beispiel main(...)

14.5 Instruction Set Architecture - Intel x86-Architektur

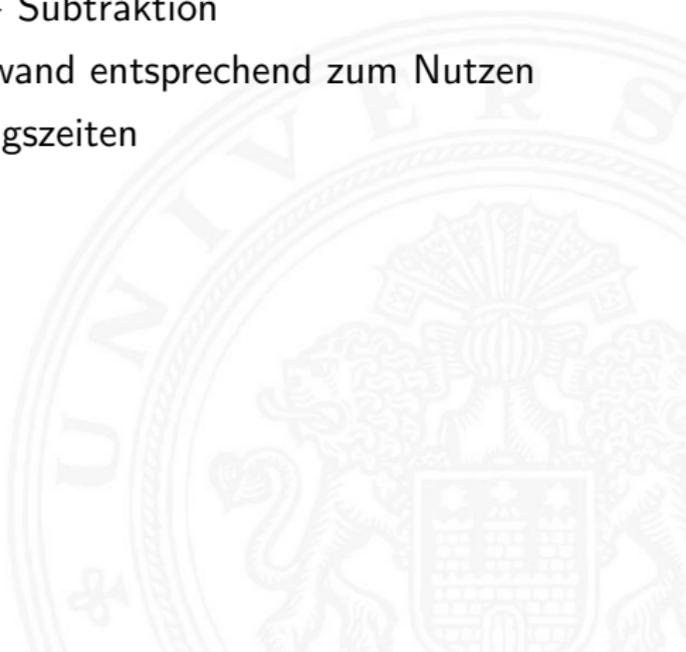
64-040 Rechnerstrukturen

addr	opcode	assembler	c quellcode
		.Lfe1:	
		.Lscope0:	
002b	908D7426	.align 16	
	00		
		main:	
0030	55	pushl %ebp	int main(int argc, char** argv) {
0031	89E5	movl %esp,%ebp	
0033	53	pushl %ebx	
0034	BB00000000	movl \$.LC0,%ebx	print("Hello x86!\\n");
0039	803D0000	cmpb \$0,.LC0	
	000000		
0040	741A	je .L26	
0042	89F6	.align 4	
		.L24:	
0044	A100000000	movl stdout,%eax	
0049	50	pushl %eax	
004a	0FBE03	movsbl (%ebx),%eax	
004d	50	pushl %eax	
004e	E8FCFFFFFF	call _IO_putc	
0053	43	incl %ebx	
0054	83C408	addl \$8,%esp	
0057	803B00	cmpb \$0,(%ebx)	
005a	75E8	jne .L24	
		.L26:	
005c	31C0	xorl %eax,%eax	return 0;
005e	8B5DFC	movl -4(%ebp),%ebx	}
0061	89EC	movl %ebp,%esp	
0063	5D	popl %ebp	
0064	C3	ret	



Kriterien für einen *guten* Befehlssatz

- ▶ vollständig: alle notwendigen Instruktionen verfügbar
- ▶ orthogonal: keine zwei Instruktionen leisten das Gleiche
- ▶ symmetrisch: z.B. Addition \Leftrightarrow Subtraktion
- ▶ adäquat: technischer Aufwand entsprechend zum Nutzen
- ▶ effizient: kurze Ausführungszeiten



Statistiken zeigen: Dominanz der einfachen Instruktionen

► x86-Prozessor

	Anweisung	Ausführungshäufigkeit %
1.	load	22 %
2.	conditional branch	20 %
3.	compare	16 %
4.	store	12 %
5.	add	8 %
6.	and	6 %
7.	sub	5 %
8.	move reg-reg	4 %
9.	call	1 %
10.	return	1 %
Total		96 %

Bewertung der ISA (cont.)

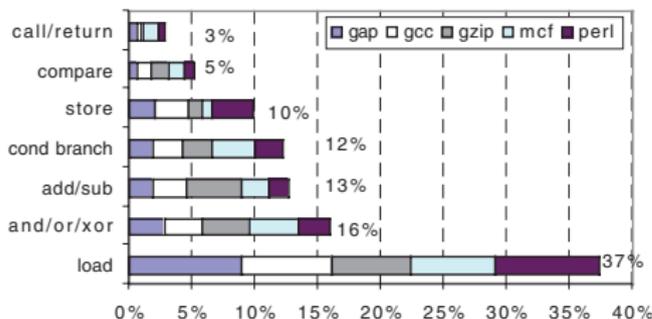
Instruction	compress	eqntott	espresso	gcc (cc1)	li	Int. average
load	20.8%	18.5%	21.9%	24.9%	23.3%	22%
store	13.8%	3.2%	8.3%	16.6%	18.7%	12%
add	10.3%	8.8%	8.15%	7.6%	6.1%	8%
sub	7.0%	10.6%	3.5%	2.9%	3.6%	5%
mul				0.1%		0%
div						0%
compare	8.2%	27.7%	15.3%	13.5%	7.7%	16%
mov reg-reg	7.9%	0.6%	5.0%	4.2%	7.8%	4%
load imm	0.5%	0.2%	0.6%	0.4%		0%
cond. branch	15.5%	28.6%	18.9%	17.4%	15.4%	20%
uncond. branch	1.2%	0.2%	0.9%	2.2%	2.2%	1%
call	0.5%	0.4%	0.7%	1.5%	3.2%	1%
return, jmp indirect	0.5%	0.4%	0.7%	1.5%	3.2%	1%
shift	3.8%		2.5%	1.7%		1%
and	8.4%	1.0%	8.7%	4.5%	8.4%	6%
or	0.6%		2.7%	0.4%	0.4%	1%
other (xor, not, . . .)	0.9%		2.2%	0.1%		1%
load FP						0%
store FP						0%
add FP						0%
sub FP						0%
mul FP						0%
div FP						0%
compare FP						0%
mov reg-reg FP						0%
other (abs, sqrt, . . .)						0%

Figure D.15 80x86 instruction mix for five SPECint92 programs.

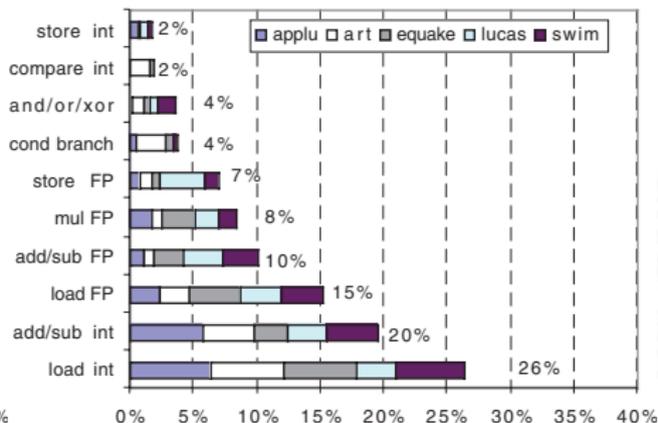
[HP12]

► MIPS-Prozessor

[HP12]



SPECint2000 (96%)



SPECfp2000 (97%)

- ca. 80% der Berechnungen eines typischen Programms verwenden nur ca. 20% der Instruktionen einer CPU
- am häufigsten gebrauchten Instruktionen sind einfache Instruktionen: load, store, add...

⇒ Motivation für RISC

Rechnerarchitekturen mit irregulärem, komplexem Befehlsatz und (unterschiedlich) langer Ausführungszeit

- ▶ aus der Zeit der ersten Großrechner, 60er Jahre
- ▶ Programmierung auf Assemblerebene
- ▶ Komplexität durch sehr viele (mächtige) Befehle umgehen

typische Merkmale

- ▶ Instruktionssätze mit mehreren hundert Befehlen (> 300)
- ▶ unterschiedlich lange Instruktionsformate: 1...n-Wort Befehle
 - ▶ komplexe Befehlskodierung
 - ▶ mehrere Schreib- und Lesezugriffe pro Befehl
- ▶ viele verschiedene Datentypen

- ▶ sehr viele Adressierungsarten, -Kombinationen
 - ▶ fast alle Befehle können auf Speicher zugreifen
 - ▶ Mischung von Register- und Speicheroperanden
 - ▶ komplexe Adressberechnung
- ▶ Unterprogrammaufrufe: über Stack
 - ▶ Übergabe von Argumenten
 - ▶ Speichern des Programmzählers
 - ▶ explizite „Push“ und „Pop“ Anweisungen
- ▶ Zustandscodes („*Flags*“)
 - ▶ implizit gesetzt durch arithmetische und logische Anweisungen

Vor- / Nachteile

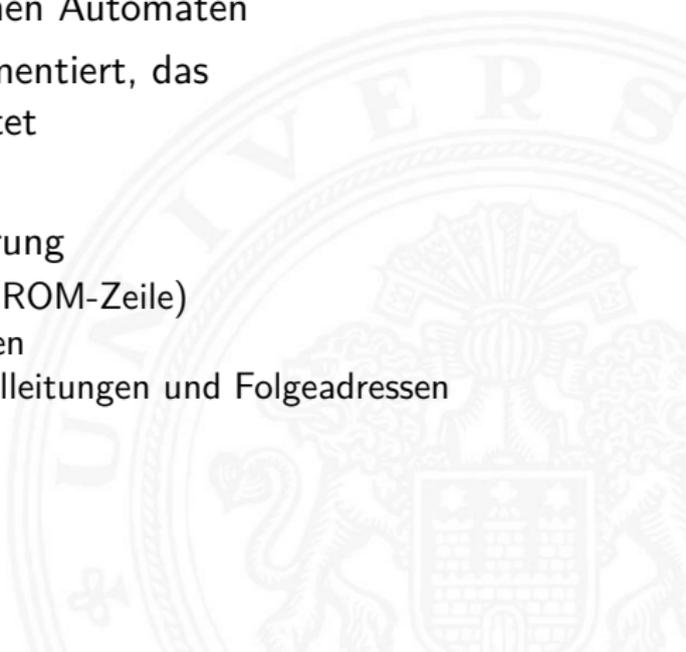
- + nah an der Programmiersprache, einfacher Assembler
- + kompakter Code: weniger Befehle holen, kleiner I-Cache
- Befehlssatz vom Compiler schwer auszunutzen
- Ausführungszeit abhängig von: Befehl, Adressmodi. . .
- Instruktion holen schwierig, da variables Instruktionsformat
- Speicherhierarchie schwer handhabbar: Adressmodi
- Pipelining schwierig

Beispiele

- ▶ Intel x86 / IA-64, Motorola 68 000, DEC Vax



- ▶ ein Befehl kann nicht in einem Takt abgearbeitet werden
- ⇒ Unterteilung in Mikroinstruktionen (\varnothing 5...7)
- ▶ Ablaufsteuerung durch endlichen Automaten
 - ▶ meist als ROM (RAM) implementiert, das *Mikroprogrammwort* beinhaltet
1. horizontale Mikroprogrammierung
- ▶ langes Mikroprogrammwort (ROM-Zeile)
 - ▶ steuert direkt alle Operationen
 - ▶ Spalten entsprechen: Kontrollleitungen und Folgeadressen



2. vertikale Mikroprogrammierung

- ▶ kurze Mikroprogrammworter
- ▶ Spalten enthalten Mikrooperationscode
- ▶ mehrstufige Decodierung für Kontrollleitungen

+ CISC-Befehlssatz mit wenigen Mikrobefehlen realisieren

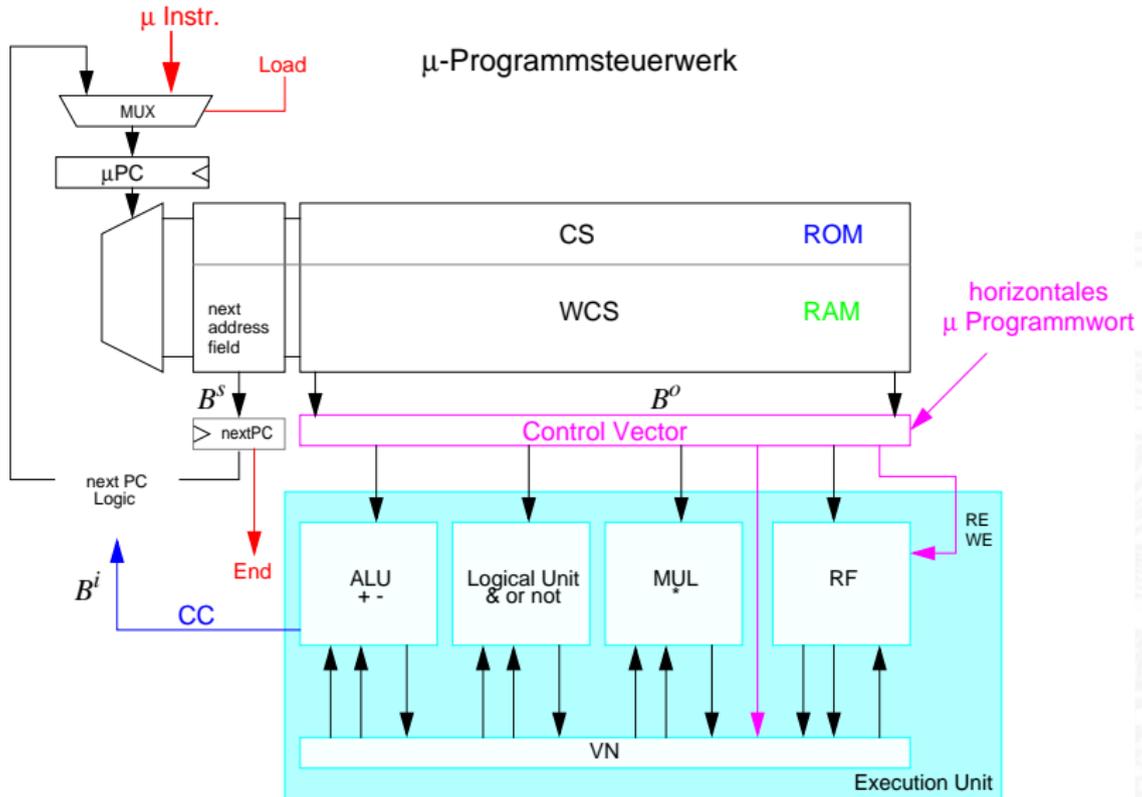
+ bei RAM: Mikrobefehlssatz austauschbar

– (mehrstufige) ROM/RAM Zugriffe: zeitaufwändig

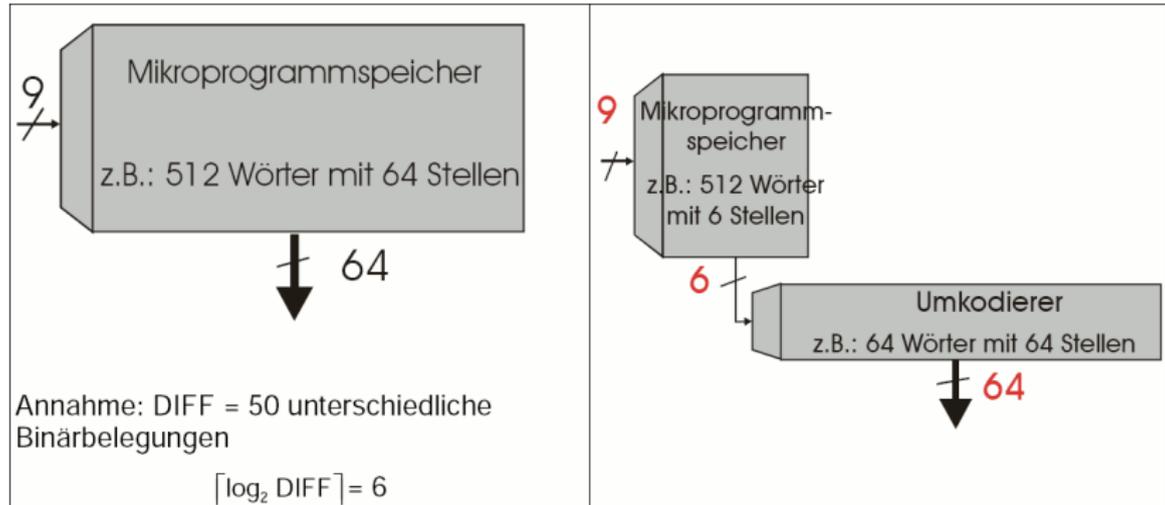
▶ horizontale Mikroprog.

▶ vertikale Mikroprog.

horizontale Mikroprogrammierung



vertikale Mikroprogrammierung



◀ Mikroprogrammierung

oft auch: „**Regular Instruction Set Computer**“

- ▶ Grundidee: Komplexitätsreduktion in der CPU
- ▶ seit den 80er Jahren: „RISC-Boom“
 - ▶ internes Projekt bei IBM
 - ▶ von Hennessy (Stanford) und Patterson (Berkeley) publiziert
- ▶ Hochsprachen und optimierende Compiler
 - ⇒ kein Bedarf mehr für mächtige Assemblerbefehle
 - ⇒ pro Assemblerbefehl muss nicht mehr „möglichst viel“ lokal in der CPU gerechnet werden (CISC Mikroprogramm)

Beispiele

- ▶ IBM 801, MIPS, SPARC, DEC Alpha, ARM

typische Merkmale

- ▶ reduzierte Anzahl einfacher Instruktionen (z.B. 128)
 - ▶ benötigen in der Regel mehr Anweisungen für eine Aufgabe
 - ▶ werden aber mit kleiner, schneller Hardware ausgeführt

- ▶ reguläre Struktur, z.B. 32-bit Wortbreite, 32-bit Befehle
- ▶ nur ein-Wort Befehle
- ▶ alle Befehle in gleicher Zeit ausführbar \Rightarrow Pipeline-Verarbeitung
- ▶ Speicherzugriff *nur* durch „Load“ und „Store“ Anweisungen
 - ▶ alle anderen Operationen arbeiten auf Registern
 - ▶ keine Speicheroperanden
- ▶ Register-orientierter Befehlssatz
 - ▶ viele universelle Register, keine Spezialregister (≥ 32)
 - ▶ oft mehrere (logische) *Registersätze*: Zuordnung zu Unterprogrammen, Tasks etc.
- ▶ Unterprogrammaufrufe: über Register
 - ▶ Register für Argumente, „Return“-Adressen, Zwischenergebnisse
- ▶ keine Zustandscodes („*Flags*“)
 - ▶ spezielle Testanweisungen
 - ▶ speichern Resultat direkt im Register
- ▶ optimierende Compiler statt Assemblerprogrammierung

Vor- / Nachteile

- + fest-verdrahtete Logik, kein Mikroprogramm
- + einfache Instruktionen, wenige Adressierungsarten
- + Pipelining gut möglich
- + Cycles per Instruction = 1
in Verbindung mit Pipelining: je Takt (mind.) ein neuer Befehl
- längerer Maschinencode
- viele Register notwendig
- ▶ optimierende Compiler nötig / möglich
- ▶ High-performance Speicherhierarchie notwendig

ursprüngliche Debatte

- ▶ streng geteilte Lager
- ▶ pro CISC: einfach für den Compiler; weniger Code Bytes
- ▶ pro RISC: besser für optimierende Compiler;
schnelle Abarbeitung auf einfacher Hardware

aktueller Stand

- ▶ Grenzen verwischen
 - ▶ RISC-Prozessoren werden komplexer
 - ▶ CISC-Prozessoren weisen RISC-Konzepte oder gar RISC-Kern auf
- ▶ für Desktop Prozessoren ist die Wahl der ISA kein Thema
 - ▶ Code-Kompatibilität ist sehr wichtig!
 - ▶ mit genügend Hardware wird alles schnell ausgeführt
- ▶ eingebettete Prozessoren: eindeutige RISC-Orientierung
 - + kleiner, billiger, weniger Leistungsverbrauch

- ▶ Restriktionen durch Hardware abgeschwächt
- ▶ Code-Kompatibilität leichter zu erfüllen
 - ▶ Emulation in Firm- und Hardware
- ▶ Intel bewegt sich weg von IA-32
 - ▶ erlaubt nicht genug Parallelität

hat IA-64 eingeführt („Intel Architecture 64-bit“)

- ⇒ neuer Befehlssatz mit expliziter Parallelität (EPIC)
- ⇒ 64-bit Wortgrößen (überwinden Adressraumlimits)
- ⇒ benötigt hoch entwickelte Compiler

[BO15] R.E. Bryant, D.R. O'Hallaron:

Computer systems – A programmers perspective.

3rd global ed., Pearson Education Ltd., 2015.

ISBN 978–1–292–10176–7. csapp.cs.cmu.edu

[TA14] A.S. Tanenbaum, T. Austin: *Rechnerarchitektur –*

Von der digitalen Logik zum Parallelrechner.

6. Auflage, Pearson Deutschland GmbH, 2014.

ISBN 978–3–86894–238–5



- [PH16a] D.A. Patterson, J.L. Hennessy: *Computer Organization and Design – The Hardware Software Interface: ARM Edition*. Morgan Kaufmann Publishers Inc., 2016.
ISBN 978-0-12-801733-3
- [PH16b] D.A. Patterson, J.L. Hennessy: *Rechnerorganisation und Rechnerentwurf – Die Hardware/Software-Schnittstelle*. 5. Auflage, Oldenbourg, 2016. ISBN 978-3-11-044605-0
- [HP12] J.L. Hennessy, D.A. Patterson: *Computer architecture – A quantitative approach*. 5th edition, Morgan Kaufmann Publishers Inc., 2012.
ISBN 978-0-12-383872-8

- [Fur00] S. Furber: *ARM System-on-Chip Architecture*.
2nd edition, Pearson Education Limited, 2000.
ISBN 978-0-201-67519-1
- [HenHA] N. Hendrich: *HADES — HAMBURG DEsign System*.
Universität Hamburg, FB Informatik, Lehrmaterial.
tams.informatik.uni-hamburg.de/applets/hades
- [IA64] *Intel 64 and IA-32 Architectures Software Developer's Manual – Volume 1: Basic Architecture*.
Intel Corp.; Santa Clara, CA.
www.intel.de/content/www/de/de/processors/architectures-software-developer-manuals.html