

Aufgabenblatt 8

Abgabe: 07.12., Abgabe: 14.12. 12:00

Gruppe	
Name(n)	Matrikelnummer(n)

Aufgabe 8.1 (Punkte 20)

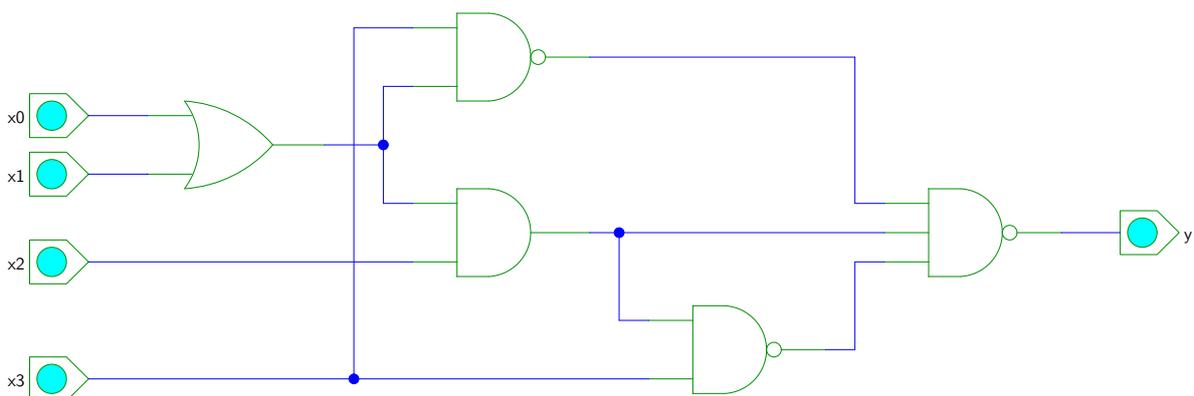
2:1-Multiplexer: Wir betrachten den 2:1-Multiplexer mit Steuereingang s und Dateneingängen a_1 und a_0 , also $MUX(s, a_1, a_0) = (s a_1) \vee (\bar{s} a_0)$.

Geben Sie eine Schaltung nur aus (mehreren) 2:1 Multiplexern an, die einen 1-bit Volladdierer mit den Eingängen a, b und Carry-in c_i , sowie den beiden Ausgängen s für Summe und c_o für Carry-out realisiert. Wir nehmen dazu an, dass die Variablen sowohl direkt als auch invertiert zur Verfügung stehen (z.B. a und \bar{a}).

Zeichnen Sie ein (Hades-) Schaltbild.

Aufgabe 8.2 (Punkte 10+2·5+2·5)

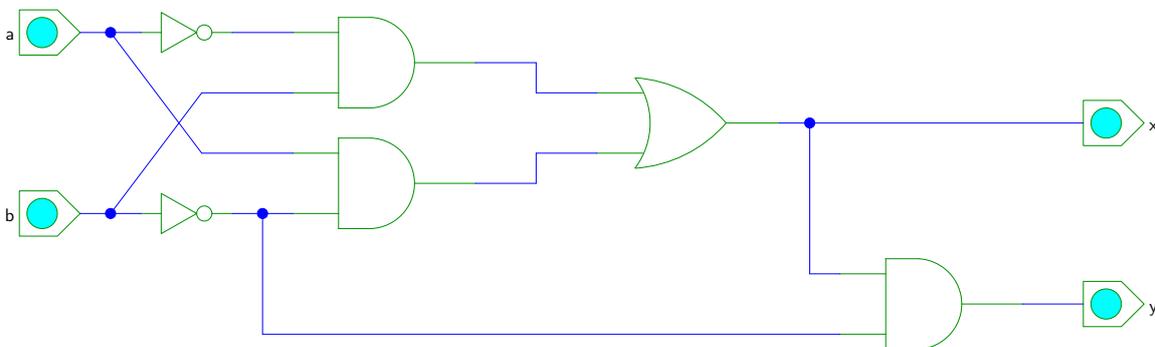
Analyse einer Schaltung: Analysieren Sie die folgende Schaltung aus OR-, AND- und NAND-Gattern:



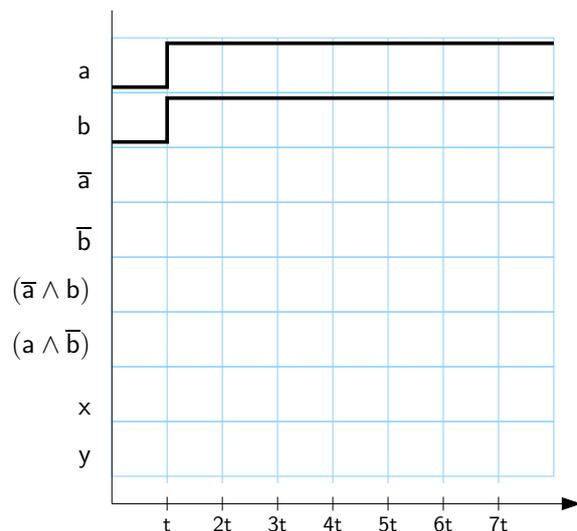
- (a) Ermitteln Sie den Ausgangswert y der Funktion für alle Belegungen der Variablen (x_3, x_2, x_1, x_0) und erstellen Sie das zugehörige KV-Diagramm.
- (b) Minimieren Sie die Funktion indem Sie die Schleifen einzeichnen. Dabei sollen zwei Lösungen in disjunktiver und in konjunktiver Form erstellt werden.
- (c) Zeichnen Sie mit Hades die zugehörigen Schaltnetze zu (b).

Aufgabe 8.3 (Punkte 10+10)

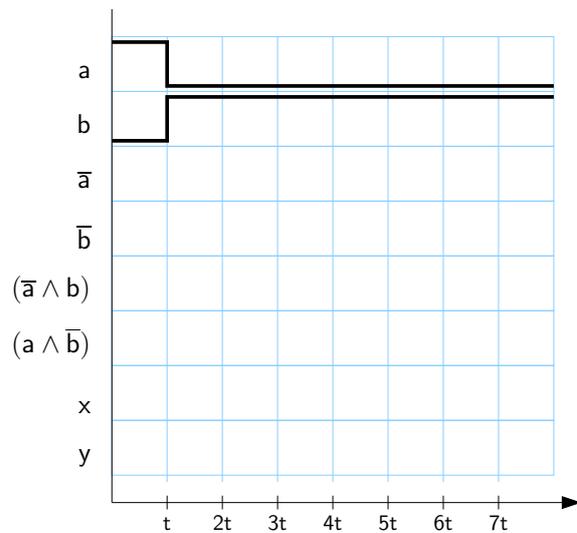
Hazards: Wir untersuchen das Zeitverhalten der folgenden Schaltung mit den beiden Eingängen a und b und den zwei Ausgängen x (XOR-Verknüpfung) und y . Zur Vereinfachung nehmen wir an, dass alle Gatter beim Umschalten die gleiche Verzögerung von jeweils einer Zeiteinheit aufweisen.



- (a) Vervollständigen Sie die Impulsdiagramme für den angegebenen Verlauf der Eingangssignale a und b . Welche Hazard-Typen treten an den Ausgängen x und y auf?



- (b) Vervollständigen Sie die Impulsdiagramme für den angegebenen Verlauf der Eingangssignale a und b . Welche Hazard-Typen treten an den Ausgängen x und y auf?



Aufgabe 8.4 (Punkte 10+10+10)

Zeitverhalten von Addierern: Das Zeitverhalten der in der Vorlesung vorgestellten Addierertypen (ripple-carry, carry-lookahead, carry-select) soll analysiert werden. Als Zeitmodell nehmen wir eine Verzögerung von jeweils einer Zeiteinheit für den Volladdierer, einen Multiplexer und alle beim Carry-Lookahead Addierer verwendeten Teilschaltungen (Sum, CLA) an. Unter diesen Annahmen beträgt die Verzögerung für einen n -bit Ripple-Carry Addierer n Zeitschritte, da das Carry-Signal alle n Stufen durchlaufen muss, bis das höchste Bit der Summe berechnet werden kann.

- (a) Welche Verzögerung ergibt sich bei n Bit für den in der Vorlesung beschriebenen Carry-Lookahead Addierer? (Dabei werden zunächst von den Sum-Blöcken die generate- und propagate Werte berechnet, dann der CLA-Baum bis zur Wurzel durchlaufen und schließlich die carry-Werte zurück zu den Sum-Blöcken übertragen.)
- (b) Für den n -bit Carry-Select Addierer wählen wir zunächst eine Aufteilung in m Blöcke von jeweils n/m bits. (Falls n/m nicht ganzzahlig ist, werden einige Blöcke um jeweils 1 Bit erweitert, bis es passt.) Wie viele Zeitschritte benötigt dieser Addierer als Funktion von n und m ? Wie muss m gewählt werden, um die Verzögerung zu minimieren?
- (c) Geben Sie die Verzögerung für alle drei Addierer für jeweils $n = 64$ (z.B. Java long) und $n = 256$ (z.B. Java3D Koordinaten) an. Welche maximale Taktfrequenz ist mit den jeweiligen Addierern erreichbar, wenn wir einen Wert von 35 ps als Zeitverzögerung einer Stufe annehmen?