Universität Hamburg, Fachbereich Informatik

Arbeitsbereich Technische Aspekte Multimodaler Systeme (TAMS)

Praktikum der Technischen Informatik

T2 – 3

MOS-Transistor:

Kennlinien, Verstärker

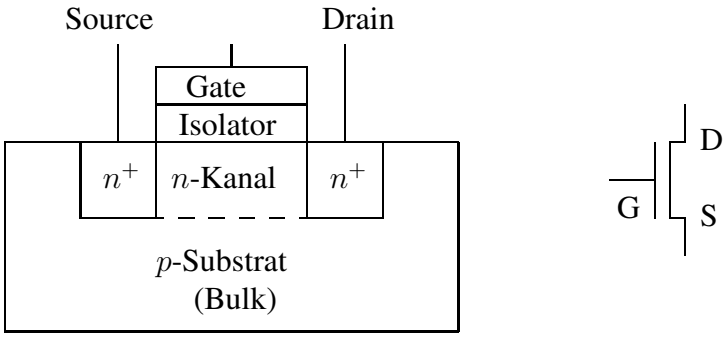
Digitale Grundschaltungen

Name: .....

Bogen erfolgreich bearbeitet: .....

Der MOS-Transistor

Diese Versuchsreihe setzt einige Kenntnisse über Halbleiter voraus. Informieren Sie sich eingehend über den MOS-Transistor anhand von Lehrbüchern (z.B. Lagemann "Rechnerstrukturen" Kap. 5.6). Der MOS-Transistor besitzt drei Anschlüsse, die mit Source (S), Drain (D) und Gate (G) bezeichnet werden. Im folgenden Bild ist der prinzipiellen Aufbau eines n-MOS-Transistors und sein Schaltsymbol wiedergegeben:



Das Symbol ist dem eines Kondensators ähnlich, und tatsächlich ist der MOS-Transistor auch physikalisch entsprechend aufgebaut, wobei von D nach S (und umgekehrt) ein Strom fließen kann. Dieser Strom ist durch die am Kondensator anliegende Spannung steuerbar.

Wie unschwer in obigem Bild zu erkennen ist, sind Drain und Source im Prinzip äquivalent und damit schaltungstechnisch austauschbar, d.h. der Transistor lässt sich bidirektional betreiben. Davon macht man in der VLSI-Technik Gebrauch gemacht. Für MOS-Transistoren, wie wir sie hier verwenden, gilt dies aber nicht. Der Grund liegt darin, dass bei praktisch allen einzeln käuflichen Transistoren Source und p-Substrat elektrisch miteinander verbunden sind und somit auf demselben Potential liegen. Welchen Effekt das praktisch hat, werden wir noch sehen. In der VLSI-Technik legt man das p-Substrat einfach auf Masse und braucht dann nicht mehr zwischen Source und Drain zu unterscheiden.

Hinweis zur praktischen Durchführung:

Auf unserer Versuchsplatine befinden sich fünf Transistoren:

Links oben zwei selbstsperrende n-Kanal MOS-FETs (die beiden kleinen schwarzen halbkreisförmigen Transistoren) mit der Belegung (von links nach rechts): Source - Gate - Drain.

Rechts daneben zwei selbstsperrende p-Kanal MOS-Fets (die beiden viereckigen Transitoren) mit der Belegung (von links nach rechts): Gate - Drain - Source.

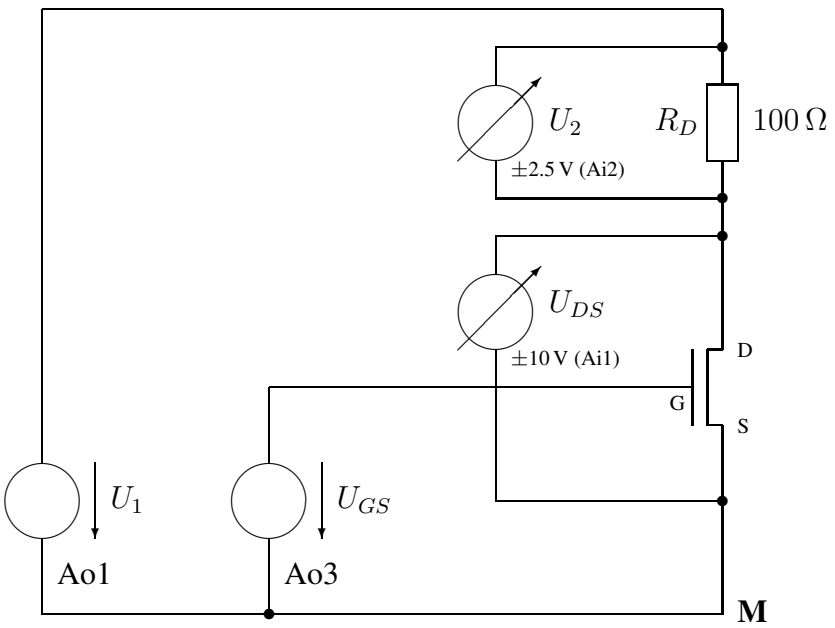
Links unten ein selbstleitender n-Kanal MOS-Fet (der silberne Transistor) mit der Belegung (von links nach rechts): Gate - Drain - Source.

Achten Sie bitte bei den einzelnen Versuchen auf die richtige Beschaltung, da sonst die Transistoren beschädigt werden können. Insbesondere sei noch einmal darauf hingewiesen, dass der Pfeil an den Spannungsquellen immer von **Plus-** zum **Minuspol** (Masse **M**) geht. Dabei braucht die Verbindung vom Minuspol zur Masse nicht mehr gesteckt zu werden, da Quellen schon intern entsprechend verdrahtet sind.

Denken Sie bitte auch daran, dass eine Quelle, bevor sie bei der Messung überhaupt eine Spannung liefert, aktiviert werden muss, indem man ihren Status auf *single* setzt. Dies gilt auch für Quellen, die nur einen konstanten Wert liefern sollen (z.B. das U_{GS} in Versuch 7.2 und 7.3).

<u>Versuch 7.1:</u> Steuerkennlinie des n-Kanal-Transistors

Bauen Sie den Versuch wie folgt auf:



Messen Sie mit Hilfe des Messmodus “Balkendiagramme” die Abhängigkeit des Stroms I_D von der Steuerspannung U_{GS} bei $U_1 = 3.0\,V$ für einen der beiden selbstsperrenden n-Kanal-Transistoren (Bauteilnummer 1 oder 12).

Aufgabe gelöst:	Gruppe:	TeilnehmerIn: ..... vom Betreuer auszufüllen

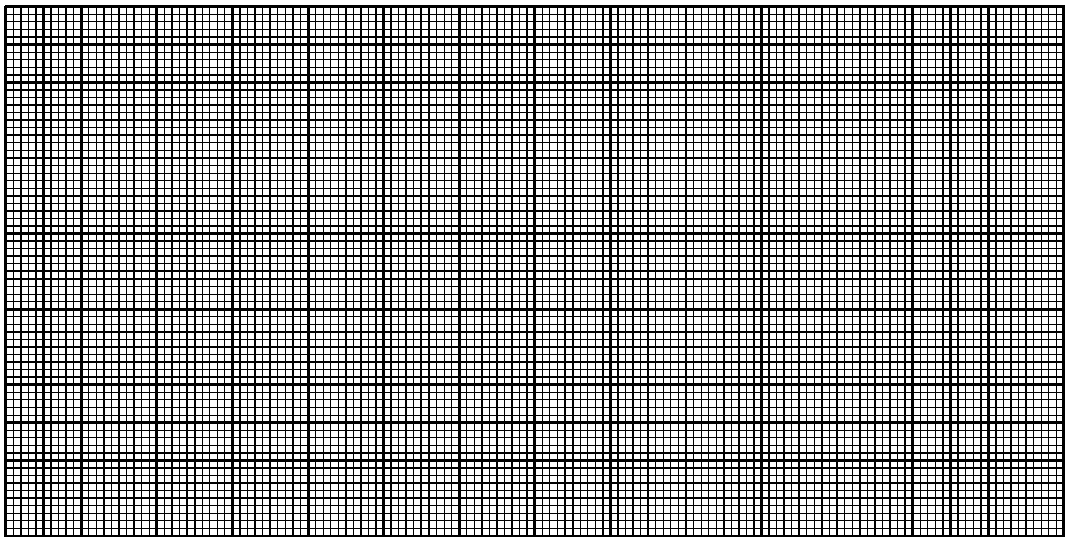
<u>Versuch 7.2:</u> Ausgangskennlinienfeld

In Versuch 7.1 hatten wir die Abhängigkeit des Stroms I_D von der Spannung U_{GS} bei konstantem U_1 gemessen. In diesem Versuch wollen wir jetzt die Abhängigkeit des Stroms I_D von der Spannung U_{DS} bei konstanter Spannung U_{GS} zu ermitteln. U_{DS} lässt sich dabei beeinflussen, indem man U_1 ändert.

Messen Sie für drei konstante Spannungen $U_{GS} > U_{TH} + 0.2\,V$ (z.B. für $U_{GS} = U_{TH} + 0.45\,V$), für die es noch keine Messbereichsüberschreitung auf dem Eingang Ai2 gibt, den Strom I_D als Funktion der Spannung U_{DS}. U_{TH} ist dabei die Spannung U_{GS} aus Versuch 7.1, bei der der Strom I_D zu fließen beginnt. Für das Kennlinienfeld interessant ist hier nur der Bereich $U_{DS} \geq 0\,V$.

Tragen Sie hier bitte Ihren Wert für U_{TH} ein:

U_{TH}= .....



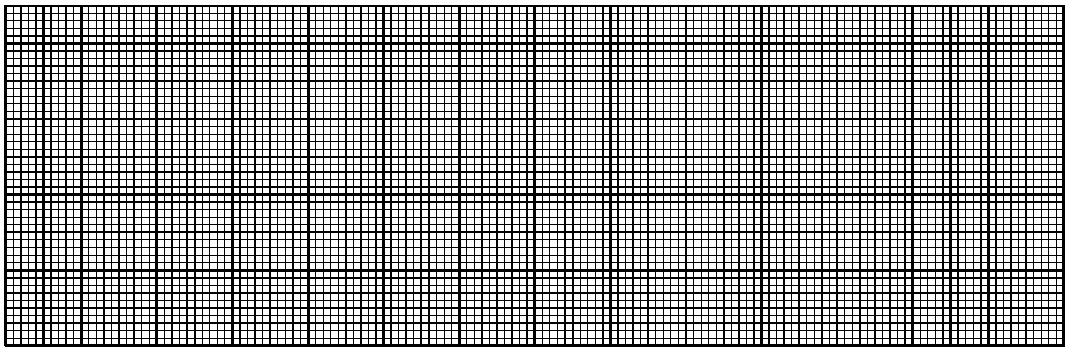
Die Kennlinie kann auch anstelle der punktweisen Messung mit einer Rampe (0 V bis 8 V) bei U_1 gemessen und als Grafik $U_2(U_{DS})$ dargestellt werden.
Das Kennlinienfeld wird charakterisiert durch zwei Bereiche, in denen der Transistor unterschiedlich reagiert:

(1) dem Widerstandsbereich (durch U_{GS} steuerbarer Widerstand zwischen Drain und Source)

(2) dem Sättigungsbereich (durch U_{GS} steuerbare Stromquelle zwischen Drain und Source)

Markieren Sie diese Bereiche und die als Abschnürgrenze bezeichnete Trennlinie. Bei Verstärkern nutzt man den Sättigungsbereich (nur bei Übersteuerung wird der Widerstandsbereich wirksam). Den Widerstandsbereich betrachten wir im Versuch 7.3.

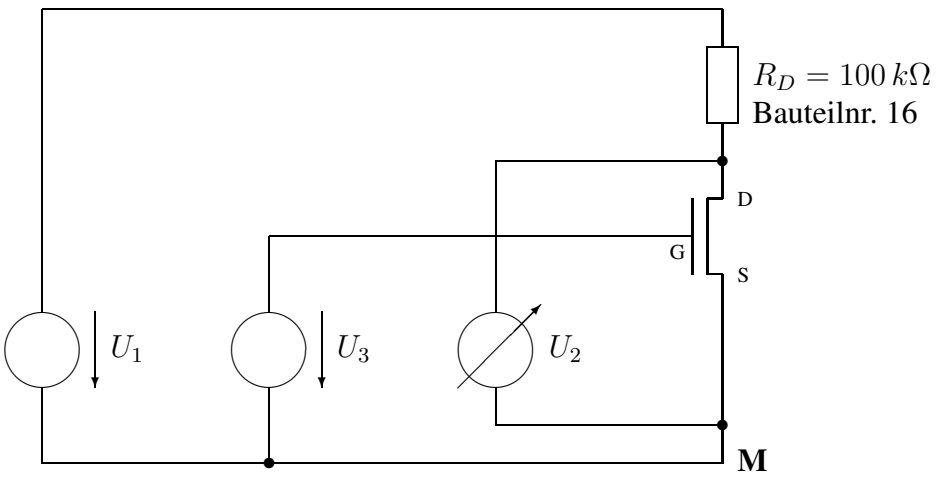
Messen Sie nun noch in Messmodus "Balkendiagramme" für $U_{GS} = 0\,V$ den Strom I_D als Funktion von $U_{DS} \leq 0\,V$.



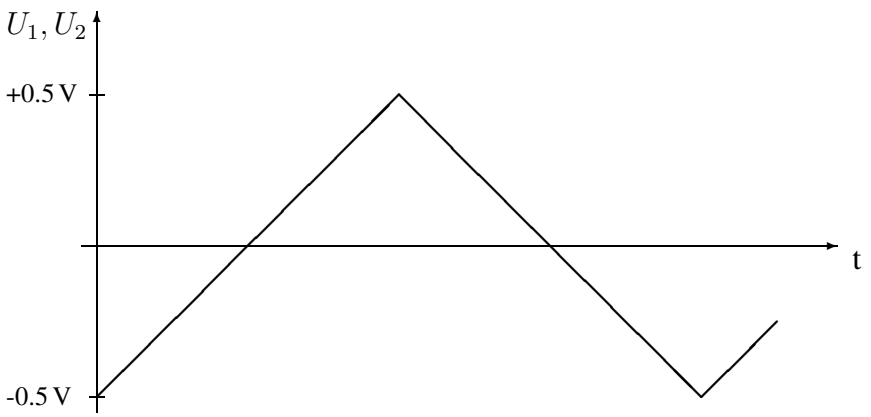
Aufgabe gelöst:	Gruppe:	TeilnehmerIn: .....
		vom Betreuer auszufüllen

<u>Versuch 7.3:</u> MOS-Transistor als regelbarer Widerstand

Wir demonstrieren die Linearität im Widerstandsbereich durch einen Spannungsteiler aus ohmschem Widerstand R und MOS-Transistor:



Mit der Gleichspannung U_3 sollte sich das Verhältnis der Spannungen U_1/U_2 regeln lassen. Wir benutzen für U_1 eine symetrische Dreieckspannung:



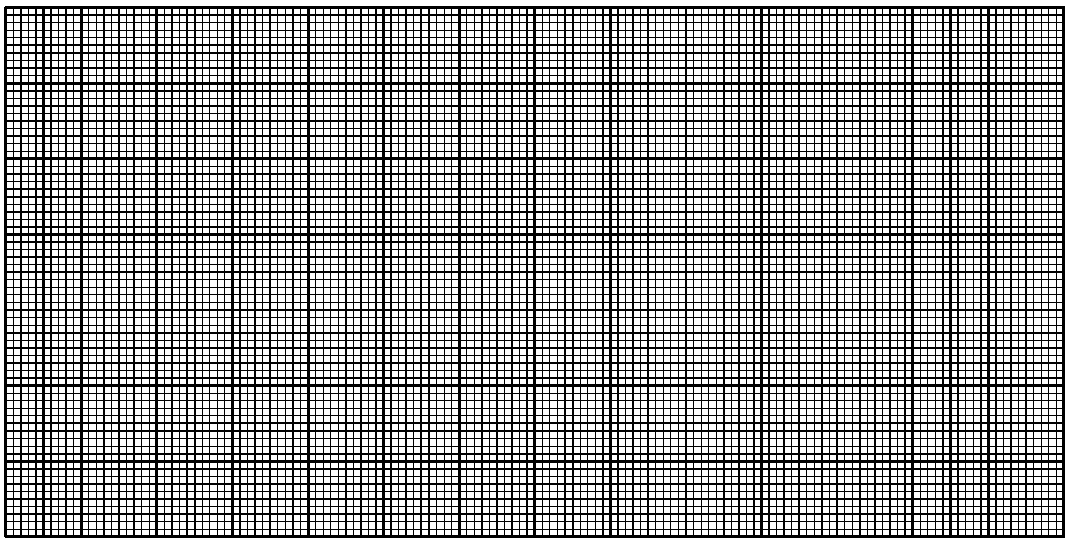
Tragen Sie den Verlauf von U_2 für einige Werte von U_3 ein. Beginnen Sie dabei mit Spannungen, die deutlich unter dem U_{TH}, das sie gefunden haben, liegen. Benutzen Sie für die Messung bitte den schnellen Messmodus und vergessen Sie nicht, den richtigen schnellen Messeingang im Menue *Parameter* einzustellen und

die Quelle für U_3 zu aktivieren.

Aufgabe gelöst:	Gruppe:	TeilnehmerIn: ..... vom Betreuer auszufüllen

Versuch 7.4: Der p-Kanal-Transistor

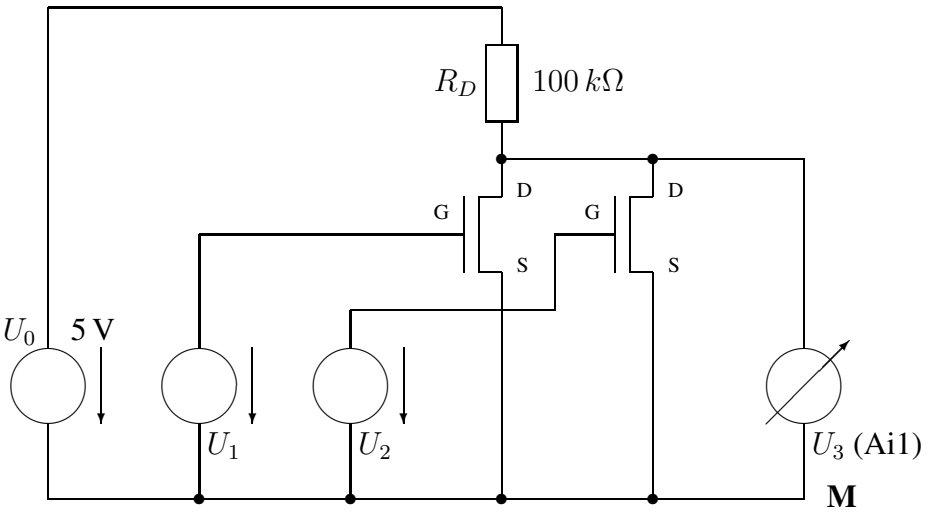
Auf unserer Platine befinden sich neben den n-Kanal-Transistoren, mit denen wir bisher gearbeitet haben, noch zwei p-Kanal-Transistoren. Diese verhalten sich elektrisch komplementär zueinander, vereinfacht formuliert: Was ein n-Kanal-Transistor für positive Spannungen tut, tut ein p-Kanal-Transistor für negative Spannungen. Bestimmen Sie wie in Versuch 7.1 die Steuerkennlinie eines der beiden p-Kanal-Transistoren.



Aufgabe gelöst:	Gruppe:	TeilnehmerIn: ..... vom Betreuer auszufüllen

Versuch 7.5: Digitale Grundschaltungen

a) Die Schaltung aus Versuch 7.1 oder 7.3 lässt sich auch als Inverter interpretieren. Wir erweitern sie um einen weiteren n-Kanal-Transistor:



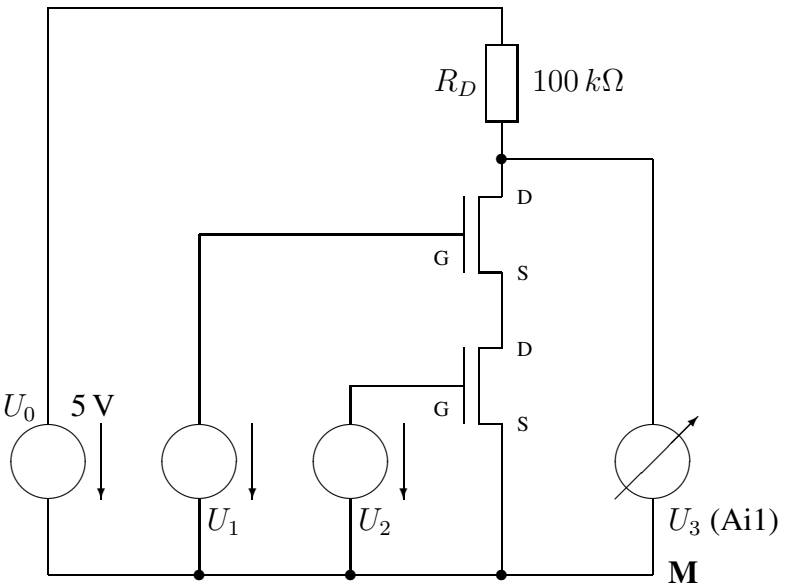
Bauen Sie diese Schaltung auf (der 100 kΩ-Widerstand hat die Bauteilnummer 16), erzeugen Sie für U_1 und U_2 jeweils einmal 0 V (**L**) und 5 V (**H**) und messen Sie U_3. Diese Messungen lassen sich am einfachsten mit den Balkendiagrammen durchführen.

Bestimmen Sie die Funktionstabelle:

U_1	U_2	U_3
L	L	
L	H	
H	L	
H	H	

Welcher logischen Funktion entspricht das?

b) Wie im vorigen Versuch ist die folgende Schaltung zu behandeln:



U_1	U_2	U_3
L	L	
L	H	
H	L	
H	H	

Welche logische Funktion haben wir hier realisiert?

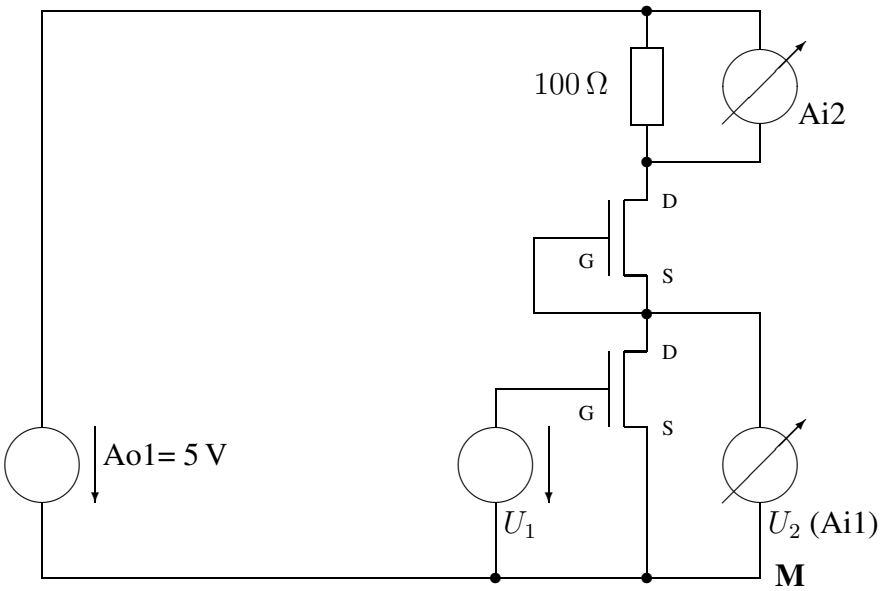
Aufgabe gelöst:	Gruppe:	TeilnehmerIn: .....
		vom Betreuer auszufüllen

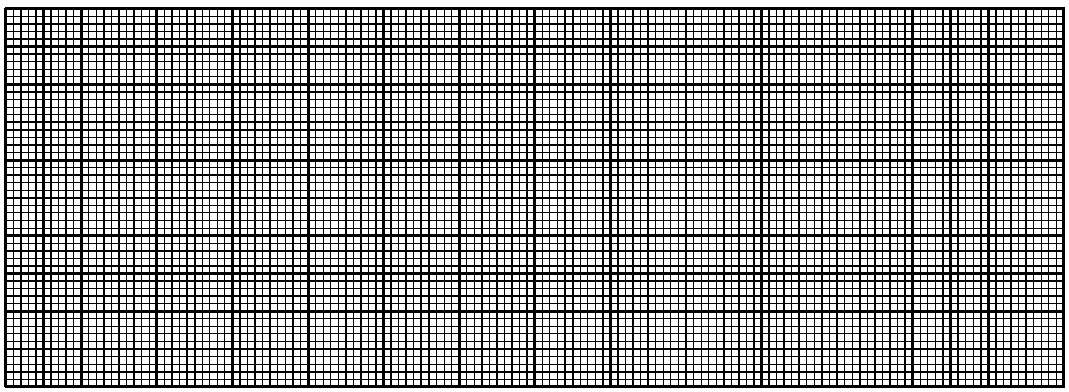
Die eben betrachteten Schaltungen sind zwar im Prinzip funktionsfähig, aber im Bereich der VLSI-Technik (Chip-Design) völlig ungeeignet, um logische Funktionen zu realisieren. Dies liegt daran, dass auf einem Chip die Fläche, die man für einen Widerstand benötigt, um Zehnerpotenzen größer als die für einen Transistor ist. Hier versucht man darum, den Widerstand durch einen weiteren Transistor zu ersetzen. Im folgenden wollen wir zwei Möglichkeiten betrachten.

c) NMOS-Technik

Wie wir in Versuch 7.3 gesehen hatten, lässt sich ein MOS-Transistor auch als regelbarer Widerstand verwenden. Dies wird in der sog. NMOS-Technik benutzt. Man ersetzt einfach den Widerstand R_D durch einen weiteren n-Kanal-Transistor und erhält für einen Inverter die unten angegebene Schaltung mit einem sog. Lasttransistor, der den Widerstand ersetzt, und einem sog. Schalttransistor (der 100 Ω-Widerstand dient hier nur zur Strommessung und tritt in einer realen NMOS-Schaltung nicht auf). Ein Problem dabei ist, dass der Lasttransistor ein kleineres U_{TH} als der Schalttransistor haben muss. Man nimmt daher für den Schalttransistor einen normalen n-Kanal-Transistor, wie wir ihn schon kennengelernt haben, für den Lasttransistor aber einen selbstleitenden n-Kanal-Transistor mit $U_{TH} < 0\,V$. Der 100Ω-Widerstand dient hier nur zur Strommessung und findet sich in einer echten NMOS-Schaltung nicht!

Bauen Sie die folgende Schaltung auf und messen Sie U_2 und den Strom als Funktion von U_1. Ein selbstleitender Transistor befindet sich links unten auf der Platine.





Welchem gewöhnlichen Widerstand entspricht demnach der Lasttransistor unter der (nicht ganz korrekten) Annahme, dass der Widerstand des Schalttransistors im durchgeschalteten Zustand vernachlässigbar klein ist?

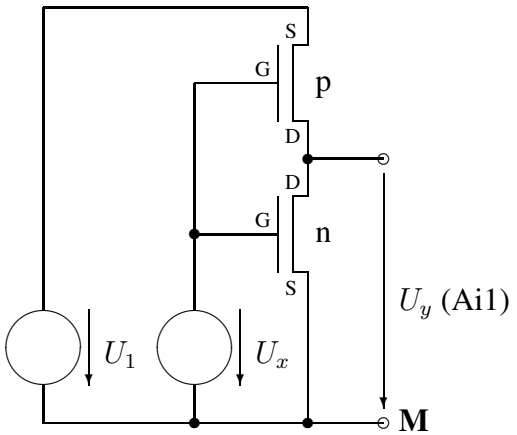
R=

Wie sind die Schaltungen aus **a)** und **b)** in NMOS-Technik zu realisieren? Skizzieren Sie hier beide Schaltungen:

Aufgabe gelöst:	Gruppe:	TeilnehmerIn: .....
		vom Betreuer auszufüllen

d) CMOS-Technik

Eine andere Möglichkeit, in der Schaltung aus Versuch 7.1 oder 7.3 ohne einen Widerstand auszukommen, um einen Inverter zu erhalten, besteht darin, statt des Widerstands einen p-Kanal-Transistor in die Schaltung einzubauen:



Bestimmen Sie U_y als Funktion von U_x bei $U_1 = 5\,V$.

Offenbar lässt sich in der angegebenen Weise wirklich ein Inverter realisieren.

Wie sehen die beiden Schaltungen aus **a)** und **b)** in CMOS-Technik aus? Sie benötigen dabei jeweils vier Transistoren, wobei diesmal der Widerstand durch zwei p-Kanal-Transistoren ersetzt wird. Am einfachsten stellt man sich dabei die n-Kanal-Transistoren als Schalter vor, die bei U_{GS}= 5 V (einer logischen **1**) geschlossen und bei einem U_{GS}= 0 V (einer logischen **0**) geöffnet sind; die p-Kanal-Transistoren dagegen als Schalter, bei denen es umgekehrt ist. Die vier Transistoren müssen dann so angeordnet werden, dass es immer eine leitende Verbindung vom Ausgang der Schaltung zur Versorgungsspannung oder Masse gibt, aber nie einen Kurzschluss zwischen der Versorgungsspannung und der Masse.

Skizzieren Sie hier Ihre Schaltungen.

Wie würde dann ein AND oder OR in CMOS-Technik aussehen? Sie brauchen dazu sechs Transistoren. Skizzieren Sie hier eine der beiden Schaltungen.

Aufgabe gelöst:	Gruppe:	TeilnehmerIn: .....
		vom Betreuer auszufüllen