

Universität Hamburg, Fachbereich Informatik
Arbeitsbereich Technische Aspekte Multimodaler Systeme

Praktikum der Technischen Informatik

T1 – 2

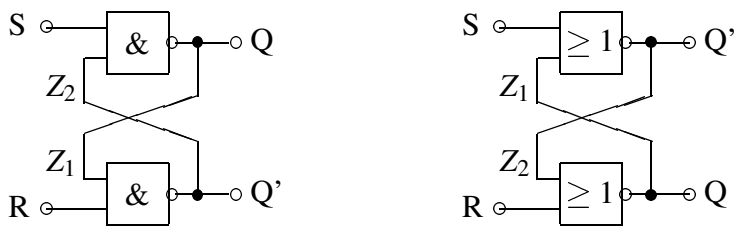
Flipflops

Name:

Bogen erfolgreich bearbeitet:

Versuch 2.1: Das SR-Flipflop

Schaltnetze, die digitale Rückkopplungen enthalten, nennen wir *Schaltwerke*. Eine formale Behandlung von Schaltwerken ist nur möglich durch Einführung von Signalverzögerungen in das Modell. Wir wollen jedoch hier nicht das Formale vertiefen - dies sollten Sie zur Vorbereitung anhand von Lehrbüchern tun - sondern uns zwei Ausprägungen des RS-Basis-Flipflops im Experiment ansehen.



Dabei wird sich zeigen, dass das tatsächliche Verhalten auf der elektrischen Ebene erheblich komplexer ist als in der Schaltwerkebene, in der wir es mit Zustandsdiagramm oder Flusstafel und Ausgangsdiagramm beschreiben. Der Zustand ist hier gegeben durch das Paar $(Z_1 Z_2)$ von Binärwerten. Dies ist zugleich der Ausgang $(Q Q')$.

Ermitteln Sie zuerst für beide Schaltungen die Flusstafel. Zur Erinnerung: Die Flusstafel eines (asynchronen) Schaltwerks enthält den nächsten Zustand als logische Funktion des aktuellen Zustands und der Eingänge des Schaltwerks **ohne** Berücksichtigung der Rückkopplung; hier also (Q, Q') als logische Funktion von Z_1, Z_2, S und R .

		SR			
		00	01	11	10
Z ₁ Z ₂	00				
	01				
	11				
	10				

		SR			
		00	01	11	10
Z ₁ Z ₂	00				
	01				
	11				
	10				

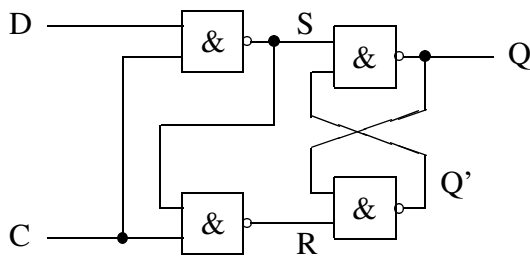
Ermitteln Sie jetzt die Zustandsdiagramme für die beiden Basis-Flipflop:

Bauen Sie das NAND-Basis-Flipflop auf oder simulieren Sie es mit HADES und testen sie seine Funktion.

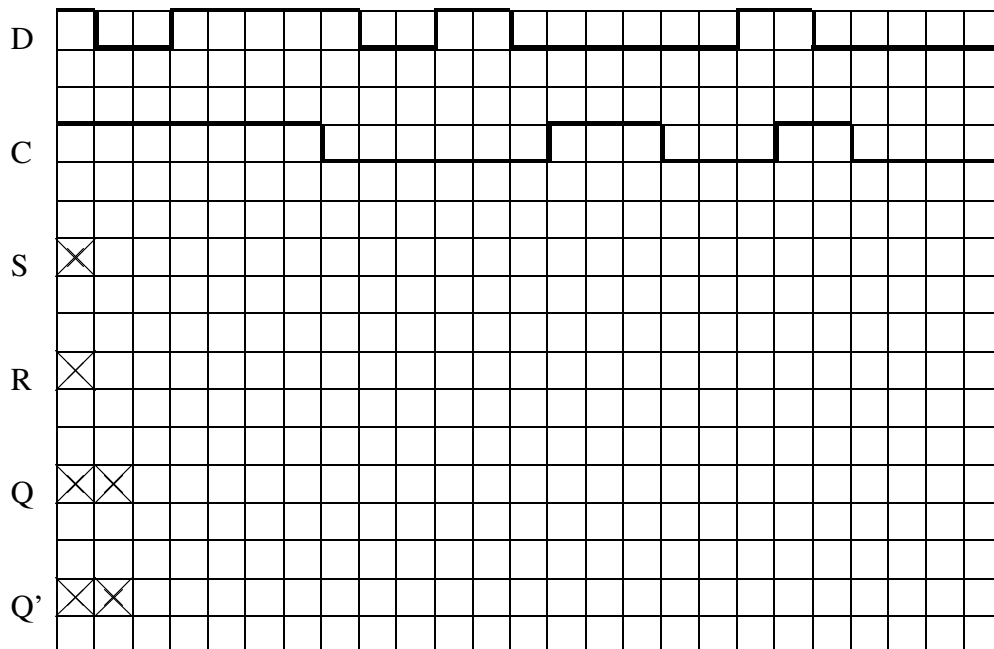
Aufgabe gelöst:	Gruppe:	TeilnehmerIn:
		vom Betreuer auszufüllen

Versuch 2.2: Das taktpegelgesteuerte D-Flipflop

Durch ein einfaches Eingangsschaltnetz entsteht aus dem SR-Flipflop eine Schaltung, die "den logischen Wert speichert, der zur Zeit des letzten Wertes $C=1$ am Eingang D herrschte". Wir setzen diese Aussage in " ", da die zeitlichen Abläufe im Detail nicht so einfach sind. Nehmen Sie an, dass im Taktpegelgesteuerten D-Flipflop



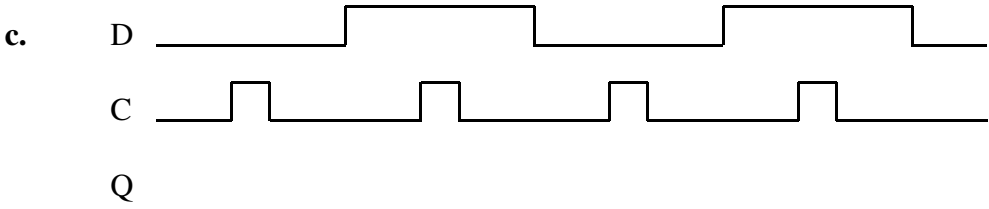
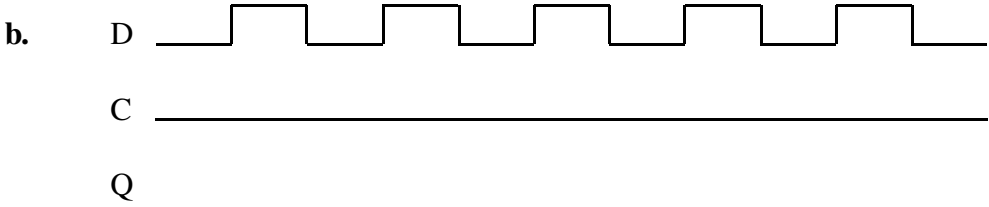
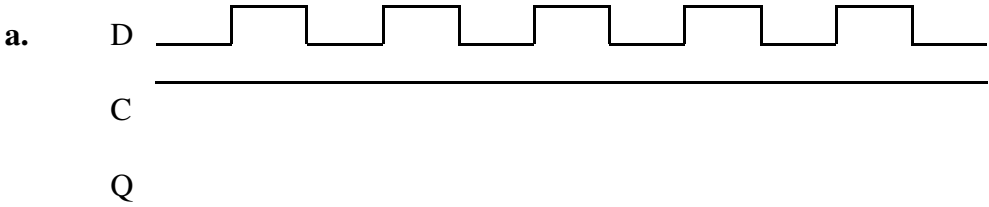
die Signalverzögerungszeit jedes NAND-Gatters genau 15ns ist (ein Teilstrich in folgendem Diagramm). Überlegen Sie sich für den gegebenen Verlauf von D und C den Verlauf von S, R, Q, Q'. Beachten Sie dabei, dass wegen der Verzögerung S und R im ersten Kästchen, Q und Q' in der ersten beiden Kästchen (und möglicherweise auch noch länger undefiert) sind:



Aufgabe gelöst:	Gruppe:	TeilnehmerIn:
		vom Betreuer auszufüllen

Versuch 2.3: Taktgesteuertes D-Flipflop

Bauen Sie das D-Flipflop mit NANDs (SN 74LS00) auf oder simulieren Sie es in HADES und untersuchen Sie das Verhalten mit folgenden Signalen für D und C:



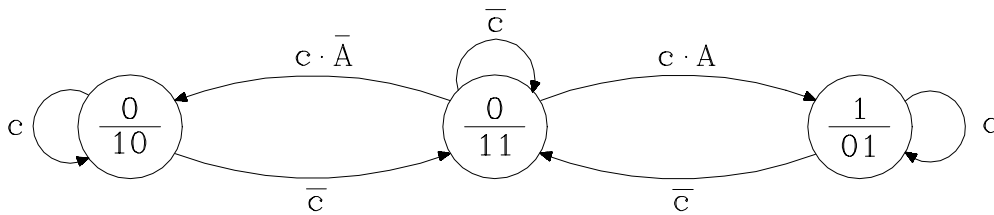
Aufgabe gelöst:	Gruppe:	TeilnehmerIn:
		vom Betreuer auszufüllen

Versuch 2.4: Entwurf eines einfachen Automaten

Optional

Bearbeiten Sie diese Aufgabe bitte nur, wenn sie glauben, gut in der Zeit zu liegen.

Entwerfen Sie eine Schaltung mit zwei Eingängen c und A , einem Ausgang T und drei (internen) stabilen Zuständen Q_1Q_2 , die durch folgendes Zustandsdiagramm gegeben ist (der Wert von T steht dabei über dem Strich, der jeweilige Zustand Q_1Q_2 darunter):

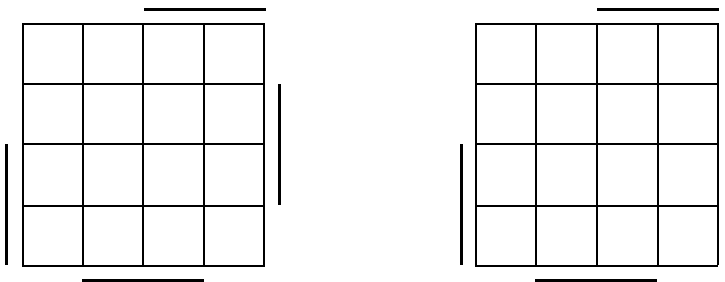


Stellen Sie dazu zunächst die Flusstafel auf und schreiben Sie dann den Ausgang T und den neuen Zustand Q_1Q_2 als logische Funktion der Eingänge c und A und des alten Zustands Z_1Z_2 :

Flusstafel

	c A			
Z ₁ Z ₂	00	01	11	10
00				
01				
11				
10				

KV-Diagramme



Überlegen Sie sich, was geschieht, falls sich die Schaltung bei Inbetriebnahme zufällig im Zustand 00 befindet, und ob für diesen Fall besondere Maßnahmen zu ergreifen sind.

Simulieren Sie die Schaltung mit HADES oder bauen Sie sie wirklich auf. Erlaubt sind dabei nur NANDs und ANDs.

Hinweis: Für den praktische Realisierung ist es günstiger, für Q_1 nicht die oben aus dem KV-Diagramm gefundene Funktion zu nehmen. Stattdessen sollte man besser $\overline{Q_1}$ realisieren (so tun, als ob die Einsen im KV-Diagramm Nullen wären) und dann negieren, um Q_1 zu erhalten (dies ist **nicht** die konjunktive Normalform). In diesem Fall sollte man für die gesamte Schaltung mit höchstens sechs Gattern auskommen.

Versuch 2.5: Flipfloptypen

Wir wollen nun verschiedene Flipfloptypen untersuchen. Dazu erhalten Sie neun ICs, die mit einer Nummer versehen sind. Ordnen sie diese Nummer den untenstehenden Flipfloptypen zu. Um die Verdrahtung zu vereinfachen, wurden die ICs bereits vorverdrahtet, so dass von ihnen nur noch die Versorgungsspannung VCC (Pin 16), die Masse (Pin 8), der Takteingang CLK (Pin 14), der Daten-/Enable-Eingang D/E (Pin 12) und der Ausgang Q (Pin 10) angeschlossen werden muss. Weiter ist auf Pin 6 auch das Signal \bar{Q} herausgeführt.

Unter dem Menüpunkt *Digital/Versuch 2.5* gibt es vorgefertigte Signalverläufe (Do1 = CLK, Do3 = D/E), mit denen sich die Flipflops erkennen lassen sollten. Lesen Sie sich bitte, bevor Sie wirklich Messungen durchführen, den gesamten Text durch und bearbeiten auch den theoretischen Teil (die Diagramme).

Notieren Sie hier das Ergebnis (Rf bzw. Vf steht dabei für "Rückflanken" bzw. "Vorderflanken"):

Flipfloptyp	Nummer
SR-Flipflop (NANDs)	
SR-Flipflop (NORs)	
Pegelgesteuertes D-FF	
Vf gesteuertes D-FF	
Rf gesteuertes D-FF	
Zweiflanken gesteuertes D-FF	
Rf gesteuertes Toggle-FF mit Enable	
Rf gesteuertes Toggle-FF ohne Enable	
Rf gesteuertes Toggle-FF mit Data-Lockout	

In einer einfachen Hardware-Beschreibungssprache lassen sich diese Flipflops formal wie unten angegeben beschreiben.

Dabei bezeichnet $| C |$ eine Bedingung, hier z.B., dass das Signal C den logischen Wert 1 hat. $!C$ bzw. $C!$ bezeichnen eine Vorder- bzw. eine Rückflanke. Die Zeile

$$|!C \wedge E |: Q := \bar{Q}$$

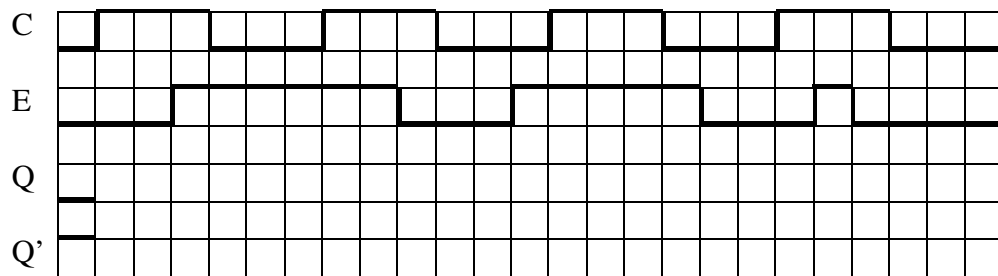
bedeutet somit in Worten: Wenn eine Vorderflanke kommt und das Signal E den Wert 1 hat, dann wird das Signal Q negiert. (Zur Erinnerung: Eine Vorderflanke ist ein 0-1 Übergang auf der Taktleitung, eine Rückflanke entsprechend ein 1-0-Übergang.)

Tragen Sie bitte für die einzelnen Flipflops in die Diagramme den erwarteten Signalverlauf ein. (Für die sieben taktgesteuerten Flipflops ist dabei immer Q' das Inverse zu Q)


```

box TFF-ohne-Enable;
  input    C, E: BIT;
  output  Q: BIT;
  begin
    | C! |: Q :=  $\bar{Q}$ 
  end

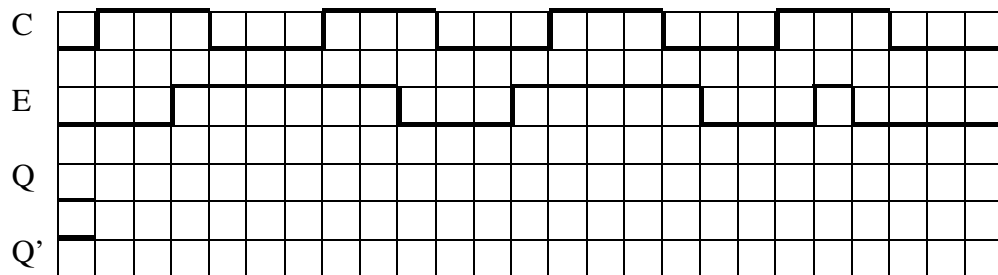
```



```

box TFF-mit-Enable;
  input    C, E: BIT;
  output  Q: BIT;
  begin
    | C! ^ E |: Q :=  $\bar{Q}$ 
  end

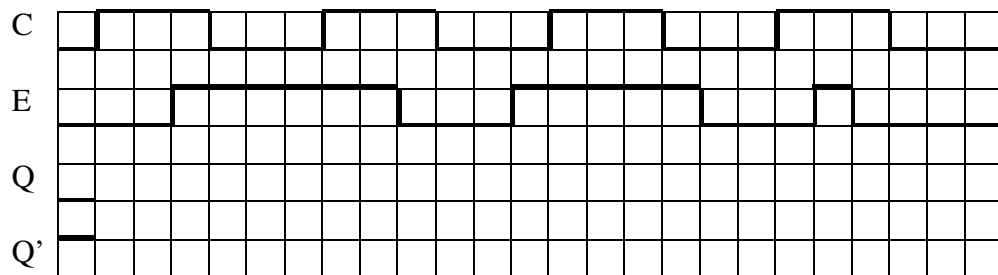
```



```

box TFF-mit-Datalockout;
  input    C, E: BIT;
  output  Q: BIT;
  local    P: BIT;
  begin
     $|\!|C|\!|: P := E;$ 
     $|\!|C \wedge P|\!|: Q := \bar{Q}$ 
  end

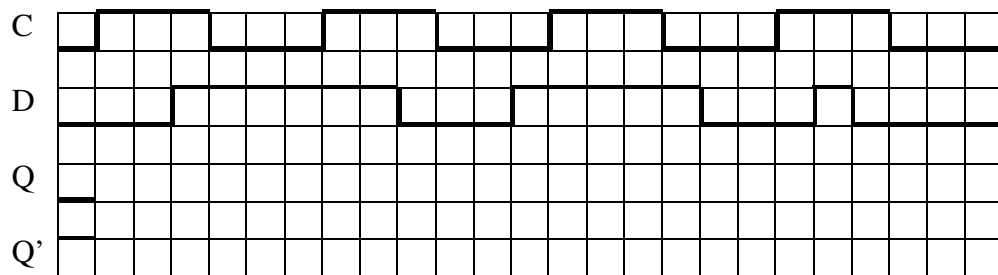
```



```

box Pegelgesteuertes-D-FF;
  input    C, D: BIT;
  output  Q: BIT;
  begin
     $|\!|C|\!|: Q := D$ 
  end

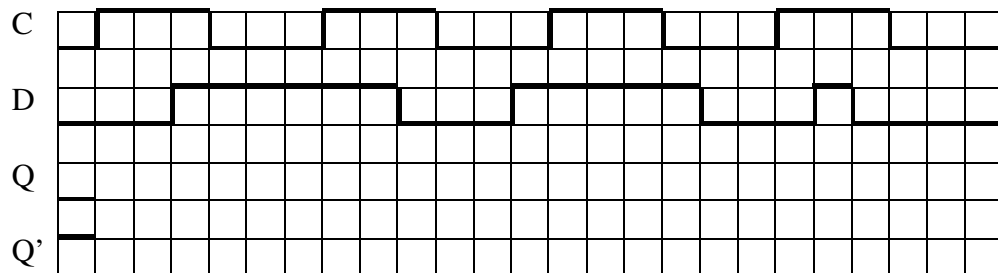
```



```

box Vf-gesteuertes-D-FF;
  input    C, D: BIT;
  output   Q: BIT;
  begin
    |!C |: Q:= D
  end

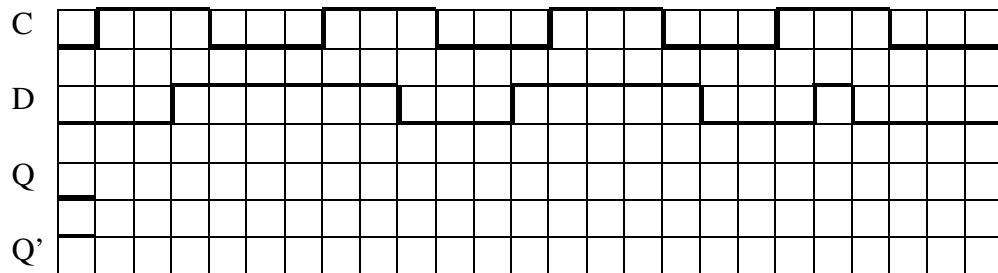
```



```

box Rf-gesteuertes-D-FF;
  input    C, D: BIT;
  output   Q: BIT;
  begin
    |C! |: Q:= D
  end

```



box Zweiflanken-gesteuertes-D-FF;

input C, D: BIT;

output Q: BIT;

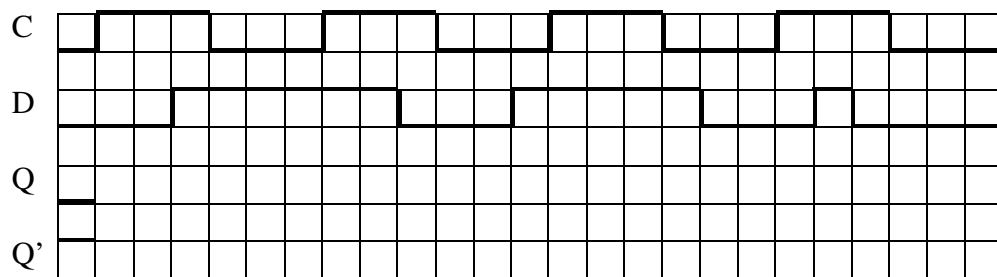
local P: BIT;

begin

|!C |: P:= D;

| C! |: Q:= P;

end



Die hier zu untersuchenden SR-Flipflops (siehe Seite 2) haben **keinen** Takteingang, Takt- bzw. Dateneingang entsprechen den beiden Eingängen S und R.

box RS-FF-NAND;

input R, S: BIT;

output Q, Q': BIT;

begin

| $\bar{S} \wedge \bar{R}$ |: Q:= 1; Q'= 1;

| $\bar{S} \wedge R$ |: Q:= 1; Q'= 0

| $S \wedge \bar{R}$ |: Q:= 0; Q'= 1

end

box RS-FF-NOR;

input R, S: BIT;

output Q, Q': BIT;

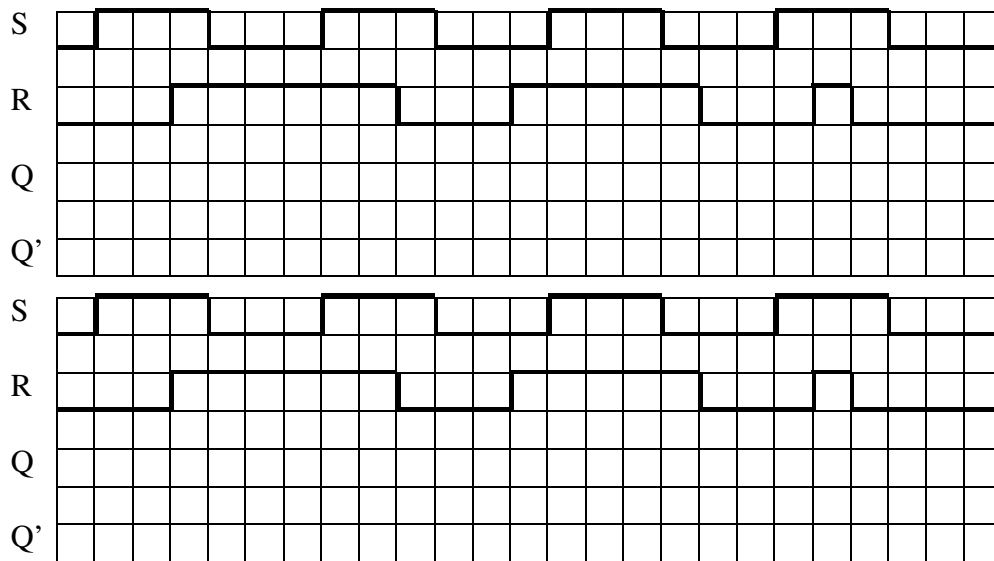
begin

| $\bar{S} \wedge R$ |: Q:= 0; Q'= 1

| $S \wedge \bar{R}$ |: Q:= 1; Q'= 0

| $S \wedge R$ |: Q:= 0; Q'= 0

end

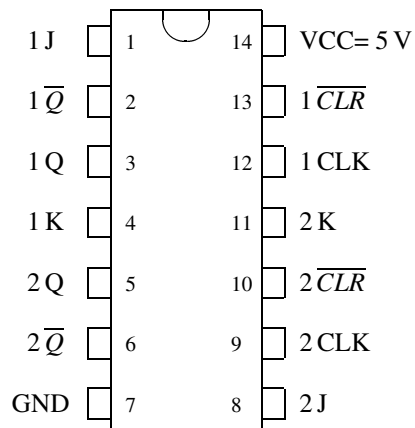


Aufgabe gelöst: Gruppe:	TeilnehmerIn: vom Betreuer auszufüllen
----------------------------------	---

Versuch 2.6: Das J-K-Flipflop

Im folgenden werden wir vielfach mit dem zweifach-J-K-Flipflop SN 74 107A arbeiten, das folgende Pinbelegung hat. Die Tabelle ist ebenfalls dem Datenbuch entnommen (↓ deutet dabei eine Rückflanke an, L eine logische 0, H eine logische 1). Wichtig für die Aufgabe sind hier nur die vier mittleren Zeilen.

Eingänge				Ausgänge	
\overline{CLR}	CLK	J	K	Q	\overline{Q}
L	*	*	*	L	H
H	↓	L	L	Q ₀	\overline{Q}_0
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	TOGGLE
H	H	*	*	Q ₀	Q ₀



Was bedeutet die hier Angabe TOGGLE? Sehen Sie sich dazu eventuell noch ein-

mal die drei Toggle-Flipflops aus Aufgabe 2.5 an.

.....

Mit J-K-Flipflops lassen sich alle flankengesteuerten Flipflops nachbilden. Z.B. erhält man ein Toggle-Flipflop mit Enable durch die Beschaltung $J=K=Enable$ und ein (rückflankengesteuertes) RS-Flipflop durch die Beschaltung $J=S, K=R$. Wichtig sind wie oben schon gesagt dabei immer nur die vier mittleren Zeilen.

Wie muss man ein JK-Flipflop beschalten, um ein D-Flipflop zu erhalten, d.h. ein Flipflop, das bei der Rückflanke den Zustand am D-Eingang übernimmt?

J=

K=

Wie sieht die Beschaltung aus, um ein sog. DV-Flipflop mit folgender verkürzten Funktionstabelle nachzubilden? Dazu ist auch noch etwas externe Logik notwendig.

D	V	Q_{n+1}
0	0	Q_n
0	1	0
1	0	Q_n
1	1	1

J=

K=

Aufgabe gelöst: Gruppe:	TeilnehmerIn:
	vom Betreuer auszufüllen